

13. (amended) An active matrix liquid crystal display device according to claim 12, further comprising a counter signal line in each pixel, and the through hole at which the source electrode and the pixel electrode are connected is arranged at a region where the counter signal line is formed.

REMARKS

By the above amendment, the specification has been amended to add a Cross Reference to the parent application which is a 371 of a PCT application. Additionally, claims 1, 12 and 13 have been amended to clarify features thereof including correction of spelling errors.

Turning to the rejection of claims 1-2, 4, 6, 8 and 13-14 under 35 U.S.C. §112, second paragraph, this rejection is considered to be overcome by the present amendment of the claims.

More particularly, with respect to claim 1, the recitation of "first and second alignment films" in line 14 has been amended to recite "the" first and "the" second alignment films, thereby clearly referring to the first and second alignment films previously referred to in lines 10 and 12. Additionally, claim 12 has been amended to correct the spelling of "through" hole, with claim 13 being amended to clarify the feature that the through hole referred to therein is the through hole of claim 12. Thus, applicants submit that by the present amendment, the rejection of the claims under 35 U.S.C. §112, second paragraph, should be overcome.

As to the rejection of claims 9 and 12-13 under 35 U.S.C. 102(e) as being anticipated by Hirakata et al, U.S. Patent No. 5,977,562; the rejection of claims 15-25 under 35 U.S.C. 103(a) as being unpatentable over Hirakata et al, U.S. Patent No. 5,977,562; and the rejection of claims 1, 2, 4, 6, 8 and 10-11 under 35 U.S.C. 103(a) as being unpatentable over Hirakata et al, U.S. Patent No. 5,977,562 in view of Raynes, U.S. Patent No. 4,084,884; such rejections are traversed, in that

applicants submit that Hirakata et al is not properly utilizable in rejecting claims of this application under 35 U.S.C. 102 or 35 U.S.C. 103.

Applicants note that while the Examiner has indicated in paragraph 8 at page 5 of the Office Action that claim 4 is objected to as being dependent upon a rejected base claim, but would be allowable if rewritten in independent form including all of the limitations of the base claim and any intervening claims, this position by the Examiner is not understood in that the Examiner has indicated that claim 4 stands rejected under 35 U.S.C. 103(a) as being unpatentable over Hirakata et al in view of Raynes. Thus, claim 4 has been retained in dependent form, and clarification of the Examiner's position is requested.

With regard to the inapplicability of Hirakata et al under 35 U.S.C. 102 or 35 U.S.C. 103, submitted herewith is a Declaration together with attached Exhibits under 37 CFR 1.131. Referring to the Declaration, as indicated therein, Exhibit 1 is a cover sheet which had as an attachment thereto (Exhibit 2) a complete disclosure of the invention as prepared by the inventor Ohta including eighty (80) pages of specification in the Japanese language and claims and forty-seven (47) sheets of drawings of Figs. 1-44. The drawings of Figs. 1-44 are substantially identical to the drawings of Figs. 1-44 of the PCT application as filed in the Japanese Patent Office on December 18, 1996 and for which an English translation appears as the specification of the present application herein. Exhibit 3 is a copy of Exhibit 1 with an English translation of portions thereof when the lower left-hand corner indicates the inventor's stamp of the inventor Ohta and the date 8-11.14 represents November 14, 1996, representing the date of submission to the inventor Ohta's supervisor of Exhibits 1 and 2. On the right side of Exhibits 1 and 3, other coinventors names and stamps are shown indicating the review of the attached documents prior to November 14, 1996 in order to determine the respective inventors portion of contribution to the disclosed invention.


Such documents representing Exhibits 1 and 2 represented a request for filing a patent application thereon and resulted in the filing with due diligence of the PCT application in Japan on December 18, 1996 with the U.S. national phase thereof being filed in the U.S. Patent and Trademark Office on June 18, 1999 and having the effective date of December 18, 1996. Applicants note that Hirakata et al has a U.S. filing date of November 14, 1996, which is the same date of November 14, 1996 as Exhibit 1 for submission of the invention documents (Exhibit 2) to the inventor Ohta's supervisor as a request for filing a patent, as is apparent from Exhibit 3, which is the English translation of Exhibit 1. Thus, applicants submit that the Declaration under 37 CFR 1.131 and accompanying Exhibits are sufficient to establish invention of the subject matter of the claims of this application at least as of the November 14, 1996 U.S. filing date of Hirakata et al, such that applicants submit that Hirakata et al is not properly utilizable in rejecting claims of this application under 35 U.S.C. 102 and 35 U.S.C. 103 and the rejections utilizing Hirakata et al necessarily fall.

For the foregoing reasons, since Hirakata et al is not properly utilizable in rejecting the claims of this application, a discussion of the inapplicability of Hirakata et al in relation to the claimed invention is considered unnecessary. Further, as recognized by the Examiner, Raynes, U.S. Patent No. 4,084,884, is insufficient when considered alone, to reject claims of this application. Accordingly, applicants submit that all claims present in this application patentably distinguish over the cited art in the sense of 35 U.S.C. 102 and 35 U.S.C. 103.

Applicants note that by the present amendment, the rejections under 35 U.S.C. §112, second paragraph, have been overcome, and that all claims should now be considered to be in compliance with 35 U.S.C. §112, second paragraph, and to patentably distinguish over the cited art, such that issuance of an action of a favorable nature is courteously solicited.

To the extent necessary, applicant's petition for an extension of time under 37 CFR 1.136. Please charge any shortage in the fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account No. 01-2135 (501.37242CX2) and please credit any excess fees to such deposit account.

Respectfully submitted,

A handwritten signature in black ink, appearing to read "Melvin Kraus", is written over a horizontal line.

Melvin Kraus
Registration No. 22,466
ANTONELLI, TERRY, STOUT & KRAUS, LLP

MK/cee
(703) 312-6600

VERSION WITH MARKINGS TO SHOW CHANGES MADE

IN THE SPECIFICATION:

Page 1, between the title of the invention and line 3, please insert the following new paragraph:

--CROSS REFERENCE TO RELATED APPLICATIONS

This is a continuation of U.S. application Serial No. 09/331,266, filed June 18, 1999, which is a 371 of PCT/JP96/03691, filed December 18, 1996, the subject matter of which is incorporated by reference herein.--

IN THE CLAIMS:

Please amend claims 1, 12 and 13 as follows:

1. (twice amended) An active matrix liquid crystal display device comprising:

first and second substrates;

a liquid crystal layer disposed between the first and second substrates;

plural image signal lines and scan signal lines formed on the first substrate, and each pixel region being formed by adjacent image signal lines and adjacent scan signal lines having at least an active device;

at least a pixel electrode connected to the active device and at least a counter electrode in each pixel, the pixel electrode and the counter electrode are on the first substrate;

a first alignment film formed over the pixel electrode and counter electrode on the first substrate at least in the pixel forming region;

a second alignment film formed on the second substrate at least in the pixel forming region;

wherein rubbing directions of the first and the second alignment films are substantially parallel to each other; and

wherein the pixel electrode and the counter electrode are disposed on a same insulating layer which is arranged under the first alignment film and which is arranged over at least one of the image signal lines.


12. (amended) An active matrix liquid crystal display device according to claim 9, further comprising a source electrode connected to the active device, and the source electrode and the pixel electrode are connected to each other at a ~~thorough~~through hole.

13. (amended) An active matrix liquid crystal display device according to claim 12, further comprising a counter signal line in each pixel, and the ~~thorough~~through hole ~~being at which the source electrode and the pixel electrode are connected~~ is arranged at a region where the counter signal line is formed.

出願依頼 (1) 兼 譲渡証

(知 本 用)
T-3

<div> <div> (知本) </div> <div> 受 付 日 </div> </div>	<div> 出 願 依 頼 受 付 番 号 </div>
96.11.20.	339600793.

特急出願希望	0. 無	理 由	1. 社外発表あり	発表日	年	月	日
	①. 有  期限日		i 学会、講演、刊行物	発表先			
	99年3月 日		ii 顧客、外注先				
			③. その他	先願公開			

事業所	課コード	TEL 郵便	氏名コード	氏名	階層 百十	印
代表取締役	(M股)	229	671900061	大田益幸	35	印
取締役	(M股)	2201	671890066	小川和宏	5	印
取締役	(M股)	2294	328930057	芦沢啓一郎	5	印
取締役	(M股)	2291	671940024	柳川和彦	5	印
取締役	(M股)	2293	328990062	箭内雅弘	5	印
取締役	(M股)	2201	671700082	小西信武	5	印
取締役	(M股)	2293	671940037	鈴木伸久	10	印
取締役	(M股)	2201	671930020	石井正宏	10	印

1. 当社および当社の関連会社の発明者はこの欄に記入、押印して下さい。それ以外の発明者は次紙出願依頼書(2)の所定欄に記入して下さい。
2. 寄与率は当社および当社の関連会社の発明者全員で100%にして下さい。

〔合計 100%〕
他 2 名
(3 枚目に記載)
合計 10 名

発明の性質により下記<1><2><3>のうち一列を選択して評価					
発明の性質		<1>現在製品、技術に関する発明	<2>新事業製品、技術の発明(研究着手済)	<3>先行アイデア発明	
評価項目				課題の重要性	
技術的な良否	社内外の最先技術との比較	1.同等 2.若干優位 3.相当優位 4.断然優位	1.同等 2.若干優位 3.相当優位 ④断然優位	1. 不明 2. 普通 3. 重要	1. 不明 2. 普通 3. 重要
技術的実現性	実用化のための検討状況	1.未検討 2.具体内容検討済 3.実用化検討済 4.即実行可	1.未検討 2.基礎実験済 3.具体内容実驗中 ④実証済	1. 不明 2. 自明 3. 検討済	1. 不明 2. 自明 3. 検討済
基本性必然性	他社における本発明回避の難易度	1.容易 2.やや困難 3.かなり困難 4.不可	1.容易 2.やや困難 ③かなり困難 4.不可	1. 各種アイデアの一つ 2. すぐれたアイデア 3. 基本的アイデア	1. 各種アイデアの一つ 2. すぐれたアイデア 3. 基本的アイデア
企業計画	製品化の計画とその規模	1.未定 2.製品試作予定 3.試作中又は済 4.採用決定	1.未定 2.機能試作実施 3.製品試作予定 ④製品採用予定	1. 単純で必然的 目標・仕様・規格先取 c. 材料・技術の巧みな転用 d. 技術の突破!! e. 新現象・新技術の利用 f. 奇抜な発想 g. その他	1. 単純で必然的 目標・仕様・規格先取 c. 材料・技術の巧みな転用 d. 技術の突破!! e. 新現象・新技術の利用 f. 奇抜な発想 g. その他
侵害発見の難易		①容易 2.困難 (確認方法)	①容易 2.困難 (確認方法)	1. 未定 2. 無 3. 有	1. 未定 2. 無 3. 有
依頼元総合評価		A 秀 B 優 C 良 D 公開情報 E 見合せ	A 秀 B 優 C 良 D 公開情報 E 見合せ		
外国出願		0.しない ①.する (国名)	0.しない ①.する (国名)		
関係先評価		A B C D E	A B C D E		

	コ	メ	ン	ト	欄
課題の新規性・重要性・技術的な良さ(性能、機能、コスト)					
横電界TFTは画素の開口部内に金属電極を配置する必要があったため、従来方式TFTより開口率が小さいという欠点があったが、本発明により、この問題を解消され、従来TFTと同等の開口率を実現できる。					
実用上の問題点					
特になし。					
他社の状況					
横電界TFTに関して他社から発表された例はない。					
具体的な実施計画	1.未定 ④有 1977年 9月頃、実施事業所(株)VAIラインでのバッチ試作と評価後、V25ラインで次期A-TFT(17.X/5XG.A)品に採用予定				
発明部分を当社が実施する規模(MY/年)期間(年)					
部長又は関係先意見					
Sプロ(特研)等の整理コード (セールスポイント特許リスト用)	Sプロ(特研)等の番号	C	SP	課題	WC

<div>知本</div> <div>総合評価</div>	<div>(A) (B) (C) (D) (E) () (U)</div> <div> <div>出願</div> <div>する</div> <div>しない(実績補償:要・否)</div> </div>	<div>1.併合 2.国内優先権主張</div> <div>3.分割</div>	<div>対象 番号</div>
	<div>出願 しない 理由</div> <div> <div>1.新規性無</div> <div>2.発明未完成</div> <div>3.侵害発見困難</div> <div>4.企業の利益小</div> <div>5.記載不備</div> <div>6.その他</div> </div>	<div>受付又は出願番号を記入</div>	
	<div>評価等に関するご意見は3週間以内にご連絡下さい。</div>		

南口率向上に有効。重要。
但し、先願公南前にはPCT出願する。
(他社より早く出願等。)
(台湾は別) (177) 文

依頼元

関係先

知本

依頼元 #

(特許連絡者)

明 細 書

開口率向上に適する横電界方式液晶表示装置

〔技術分野〕

本発明は、アクティブ・マトリクス方式の液晶表示装置に係り、特に、開口率向上に適する広視角特性を有する横電界方式液晶表示装置に関する。

〔背景技術〕

薄膜トランジスタ（TFT）に代表されるアクティブ素子を用いたアクティブマトリクス型液晶表示装置は薄い、軽量という特徴とブラウン管に匹敵する高画質という点から、OA機器等の表示端末として広く普及し始めている。この液晶表示装置の表示方式には、大別して、次の2通りがある。

1つは、透明電極が構成された2つの基板により液晶を挟み込み、透明電極に印加された電圧で動作させ、透明電極を透過し液晶に入射した光を変調して表示する方式であり、現在、普及している製品が全てこの方式を採用している。

また、もう1つは、同一基板上に構成した2つの電極の間の基板面にほぼ平行な電界により液晶を動作させ、2つの電極の隙間から液晶に入射した光を変調して表示する方式であり、視野角が著しく広いという特徴を持ち、アクティブマトリクス型液晶表示装置に関して有望な技術である。

後者の方式の特徴に関しては、特許出願公表平5-505247号公報、特公昭63-21907号公報、特開平6-160878号公報に

記載されている。

しかし、前記後者の従来方式では、不透明な金属電極を櫛歯状に構成しているため、光を透過する開口領域の割合（開口率）が著しく低く、後者の従来方式のアクティブマトリクス型液晶表示装置は、表示画面が暗い、または、表示画面を明るくするために消費電力の大きい明るいバックライトを用いなければならないため、装置の消費電力が増大するという問題があった。

また、別の課題として、後者の従来方式では、金属電極を用いているため、電極での反射率が高く、電極での反射で画面に顔等が写り込み、見づらいという問題もある。

本発明は上記の課題を解決するもので、本発明の目的は、ブラウン管並の視野角を実現できる前記後者の表示方式を用いたアクティブマトリクス型液晶表示装置において、高開口率で明るく、低消費電力で、かつ、低反射で見易いアクティブマトリクス型液晶表示装置を提供することにある。

〔発明の開示〕

前記目的を達成するために、本発明では、第1の構成として、少なくとも画素電極あるいは対向電極の一方が透明電極であり、電界無印加時に暗表示をするノーマリブラックモードにし、かつ、電界無印加時のツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、ツイスト弾性定数が $10 \times 10^{-12} \text{ N}$ （ニュートン）以下であることを特徴とする。

第2の構成として、少なくとも画素電極あるいは対向電極の一方が透明電極であり、電界無印加時に暗表示をするノーマリブラックモードに

し、かつ、電界無印加時のツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、液晶層の上下界面の液晶分子の初期プレチルト角が10度以下で、液晶層内の液晶分子の初期チルト状態がスプレイ状態であることを特徴とする。

第3の構成として、少なくとも画素電極あるいは対向電極の一方が透明電極であり、電界無印加時に暗表示をするノーマリブラックモードにし、かつ、電界無印加時のツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、透明電極上の液晶層の液晶分子の平均のチルト角が、電界印加時でも45度未満であることを特徴とする。

第4の構成として、第1ないし第3のいずれかの構成において、少なくとも、画素電極あるいは対向電極に透明電極と不透明金属電極の2重構造を用いる。

第5の構成として、第1ないし第3のいずれかの構成において、隣接する対向電圧信号線が画素内の対向電極によってスルーホールを介して接続される構造を用いる。

第6の構成として、第1ないし第3のいずれかの構成において、対向電極が透明電極からなり、更に、遮光パターンを対向電極と映像信号線間に有する構造を用いる。

第7の構成として、第1、2、3ないし5のいずれかの構成において、対向電極間を電氣的に接続する対向電圧信号線は金属である。

第8の構成として、第1ないし第3のいずれかの構成において、3本以上の対向電極が形成され、その内2本の対向電極が映像信号線に隣接して形成され、映像信号線に隣接して形成された対向電極は不透明である。

第9の構成として、第1ないし第3のいずれかの構成において、透明電極に用いる透明導電膜は、インジウムチンオキサイド（ITO）である。

第10の構成として、第7の構成において、対向電圧信号線は、Cr、Ta、Ti、Mo、W、Alまたはそれらの合金、もしくは、それらを積層したクラッド構造である。

第11の構成として、第7の構成において、対向電圧信号線は、Cr、Ta、Ti、Mo、W、Alまたはそれらの合金の上にインジウムチンオキサイド（ITO）等透明導電膜を積層したクラッド構造である。

第12の構成として、第1ないし第3のいずれかの構成において、前記液晶層の初期ツイット角がほぼ零で、初期配向角は、液晶材料の誘電率異方性 $\Delta\epsilon$ が正であれば、45℃以上90℃未満、誘電率異方性 $\Delta\epsilon$ が負であれば、0°を超え45°以下であることを特徴とする。

第1の製造方法として、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層いずれかまたは全てを、画素電極と同工程で形成される透明導電膜で形成する。

第2の製造方法として、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層いずれかまたは全てを、対向電極と同工程で形成される透明導電膜で形成する。

第3の製造方法として、画素電極と対向電極の透明電極を同工程で同時に形成する。

本発明の作用を以下に示す。

まず、第1の構成の作用として、少なくとも画素電極あるいは対向電極の一方を透明にすることにより、その部分の透過光により、明（白）

表示を行う時の最大透過率が向上するため、電極が不透明な場合よりも、より明るい表示を行うことができる。

また、電圧無印加時には、液晶分子は初期のホモジニアス配向状態を保っているため、その状態で暗（黒）表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）と、電極を透明にしても、その部分の光を透過することがないので、良質な暗表示をすることができ、コントラストが向上する。

更に、画素電極と対向電極間に電圧を印加する時は、ツイスト可能な液晶層のツイスト弾性定数が $10 \times 10^{-12} \text{ N}$ （ニュートン）以下であるため、透明導電膜の電極上では、初期配向方向から回転する角度 α が増加し、電極上の透過率が、電極間の透過率と相補的に作用して、実質的に開口率を向上させる。このツイスト弾性定数は、小さい方が好ましい。

一方、ノーマリホワイトモードにすると、電圧印加時に暗表示しなければならないため、電圧印加時には、電極部分は光を完全に遮断できないので、その部分の透過光が、暗表示の透過率を押し上げ、良質な暗表示ができない。そのため、十分なコントラスト比を達成することができない。

また、第2の構成の作用として、少なくとも画素電極あるいは対向電極の一方を透明にすることにより、その部分の透過光により、明（白）表示を行う時の最大透過率が向上するため、電極が不透明な場合よりも、より明るい表示を行うことができる。

また、電圧無印加時には、液晶分子は初期のホモジニアス配向状態を保っているため、その状態で暗（黒）表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）と、電極を透明にしても、

その部分の光を透過することがないので、良質な暗表示をすることができ、コントラストが向上する。

更に、液晶層の上下界面の液晶分子の初期プレチルト角が10度以下で、液晶層内の液晶分子の初期チルト状態がスプレイ状態であるため、液晶層の中央部の液晶分子のチルト角はほぼ零度となり、表示に寄与する液晶層の平均チルト角を低くできるため、電圧印加時でも、電極間および透明電極上での液晶分子のチルト角を低く設定でき、開口率向上と広い視野角を実現できる。

また、第3の構成の作用として、少なくとも画素電極あるいは対向電極の一方を透明にすることにより、その部分の透過光により、明（白）表示を行う時の最大透過率が向上するため、電極が不透明な場合よりも、より明るい表示を行うことができる。

また、電圧無印加時には、液晶分子は初期のホモジニアス配向状態を保っているため、その状態で暗（黒）表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）と、電極を透明にしても、その部分の光を透過することがないので、良質な暗表示をすることができ、コントラストを向上できる。

更に、透明電極上の液晶層の液晶分子の平均のチルト角が、電界印加時でも45度未満であるため、開口率向上と広い視野角を実現できる。

また、第4の構成の作用として、画素電極あるいは対向電極に透明電極と不透明金属電極の2重構造を用いることで、この電極の断線不良を大幅に防止でき、大画面化に有利である。

第5の構成の作用として、隣接する対向電圧信号線が画素内の対向電極によってスルーホールを介して接続される構造を用いることで、各対

向電圧信号線が網目状に電気接続されるため、対向電圧信号線の抵抗を低減でき、断線不良が生じても重大欠陥とならない。

第6の構成の作用として、対向電極が透明電極からなり、更に、遮光パターンを対向電極と映像信号線間に有する構造を用いることで、開口率が向上する。

また、第7の構成の作用として、対向電圧信号線の抵抗を低減することにより、対向電極間の電圧の伝わりを円滑にし、電圧の歪みを低減することにより、水平方向のクロストークを抑制できる。

また、第8の構成の作用として、映像信号線に隣接した対向電極を不透明にすることにより、映像信号に伴うクロストークを抑制する。以下にその理由を示す。

透明対向電極を映像信号線に隣接して形成することにより、映像信号線からの電界（電気力線）は、対向電極に吸収され、映像信号線からの電界が画素電極と対向電極の間の電界に影響を及ぼすことがないので、映像信号に伴うクロストーク、特に基板の上下方向のクロストークの発生が著しく抑制される。しかし、映像信号線に隣接した対向電極上の液晶分子の挙動は、映像信号の変動により、不安定であり、映像信号線に隣接した対向電極を透明にすると、その電極部分の透過光により、クロストークが観測される。したがって、映像信号線に隣接した対向電極を不透明にすることにより、映像信号に伴うクロストークを抑制できる。

また、第9の構成の作用として、透明導電膜はインジウムーチンーオキサイド（ITO）であり、透過率の向上に適する。

また、第10、11の構成の作用として、対向電圧信号線は、積層したクラッド構造であるため、抵抗値が減少し、断線不良の低減ができる。

また、第12の構成の作用として、液晶層の初期ツイット角がほぼ零で、初期配向角は、液晶材料の誘電率異方性 $\Delta\epsilon$ が正であれば、 45°C 以上 90°C 未満、誘電率異方性 $\Delta\epsilon$ が負であれば、 0° を超え 45° 以下でなあるため、ドメインの抑制や最大印加電圧の範囲を最適化しコントラストを向上でき、また、応答速度の最適化も行える。

また、第1の製造方法の作用として、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層を画素電極と同時に形成することにより、端子部を対腐食性、対電食性の高い透明電極で覆うことができ、信頼性が向上する。

また、第2の製造方法の作用として、第1の製造方法の作用と同様に、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層を対向電極と同時に形成することにより、端子部を対腐食性、対電食性の高い透明導電膜で覆うことができ、信頼性が向上する。

また、第3の製造方法の作用として、画素電極と対向電極を同時に透明導電膜で形成することにより、工程を増加させることなく、画素電極と対向電極を透明導電膜で形成することができる。

なお、本発明の液晶表示装置は、画素電極と対向電極のうち少なくともいずれかが透明導電膜で構成されているが、例えば、Richard A. Soref (リチャード エー ソーレフ)、Proceedings of the IEEE (プロシーディング オブ ジ アイトリブ ルイー)、12月号 1974年、頁1710-1711 (以下、文献1と称する。)に記載がある液晶表示素子の構成とは以下の点で異なる。

文献1では、画素電極と対向電極とに対応する櫛歯電極が透明導電膜で構成されている。

しかし、液晶分子の初期配向状態を形成する際、 SiO （シリコンモノオキサイド）を約85度で斜方蒸着し、各電極と液晶層との界面では、液晶分子にかなり高いプレチルト角を故意に形成させている。このため、文献1のFig. 1 (b)に示すように、初期配向状態で90度ツイストしたホモジニアス配向から、櫛歯電極間に電圧を印加することで、再配向状態として、電極間は基板面に略平行なホモジニアス配向状態と、電極上は基板面に垂直なホメオトロピック配向状態とを形成させる。

しかし、この構成では、電界を増加するにつれ2種類の液晶分子の再配向状態が相補的に作用し、より明るい表示が可能となるが、液晶分子のチルト角を平均的に高くする必要があるため、視野角特性が狭くなるという欠点があった。

一方、本発明の横電界方式の液晶表示装置では、広視野角特性と良好な開口率とを得るため、画素電極と対向電極との間に電圧を印加した場合でも、表示像に寄与する液晶分子の再配向する部分は、できる限り基板面に平行なホモジニアス配向状態を保持させ、透明導電膜の電極上では、初期配向方向から回転する角度 α に対応して、電極上の透過率が、電極間の透過率と相補的に作用して、実質的に開口率を向上させる構成とする。

なお、本明細書では、ホモジニアス配向状態とは、液晶層内の液晶分子が、できる限り基板面あるいは液晶層の界面に平行なチルト（起き上がり）角を有する状態で、より具体的には、基板面あるいは液晶層の界面からのチルト角が45度未満の配向状態とする。したがって、ホメオトロピック配向状態とは、基板面あるいは液晶層の界面からのチルト角が45度を越える場合とする。

F i g. 4 1 Aに、基板面に略平行方向の電界を発生させる電極構成における液晶層内の電位分布の例を示す。

図中の実線は、等電位線であり、電界ベクトルは等電位線に垂直な方向に与えられる。電界ベクトル E は、電極の中心上では基板面に垂直方向の成分 E_y しか発生しないが、中心部以外は基板面に水平方向の成分 E_x も発生する。この水平成分、すなわち横電界成分 E_x が発生している領域では、F i g. 4 1 B及び4 1 Cに示すように、電極間の液晶分子は、初期配向方向 RDR から横電界 E_x 方向に回転角 α だけ回転する。

一方、電極上の液晶分子は、液晶中の弾性場により、電極間の液晶分子の回転につられて回転する。したがって、電極上の中心の液晶分子は横電界は印加されていないが、弾性場により、まわりの液晶分子と同方向に回転する。つまり、回転角 α は、電極間では大きく、電極上では減少し、電極中央部上で最小となる。

この様子をシミュレーションした結果をF i g. 4 2 A～Cに示す。

なお、本例のシミュレーションは、液晶分子の初期ホモニアス配向状態として、液晶層の初期ツイスト角がほぼ零で、初期配向方向 RDR と印加電界 E_x とのなす初期配向角 $\phi_{LC} = 75$ 度とし、液晶層の上下界面付近の液晶分子の初期プレチルト角を零度に設定し、更に、偏光板の一方の透過軸を前記初期配向方向 RDR と一致させ、他方の偏光板の透過軸を直交させるクロスニコル配置し、複屈折モードで表示をする構成例で行った。

この時の光透過率 T/T_0 は、次式で表される。

$$T/T_0 = \sin^2(2\alpha_{\text{eff}}) \cdot \sin^2(\pi d_{\text{eff}} \cdot \Delta n / \lambda) \cdots (1)$$

ここで、 α_{eff} は、液晶層の実効的な光軸と偏光透過軸とのなす角で、

本例では、液晶分子の回転角 α の液晶層厚み方向の実効値であり、一様な回転を想定した場合の平均値として扱える見かけの値である。

また、 d_{eff} は、複屈折性を有する実効的な液晶層の厚み、 Δn は、屈折率異方性、 λ は、光の波長を示す。

(1) 式において、印加電界 E_x 時には、その強度に応じて α_{eff} の値が増大し、45度の時最大になる。

更に、本例のシミュレーションでは、液晶層のリタデーション $\Delta n \cdot d_{\text{eff}}$ を光の波長 λ の2分の1に選定し複屈折零次モードを実現し、誘電率異方性 $\Delta \epsilon$ は正に設定している。

Fig. 42 Aは、最大付近の明表示がえられる電圧を透明なITO電極に印加した場合の等電位線の状態を示す特性図で、縦軸に液晶層の厚み（厚み4.0 μm ）を、横軸に電極の相対的位置関係を示す。なお、図中の数値は、規格化された電位強度を示す。

また、Fig. 42 BおよびFig. 42 Cは、この等電位線の状態から形成される横電界成分 E_x を印加した時の液晶層内の液晶分子の回転角 α およびチルト（起き上がり）角を示す。

Fig. 42 Cに示すように、電圧印加時でも、電極上液晶分子はほとんど起き上がることなく、本例では、液晶層の厚み方向全てにおいて、チルト角は8°以下であり、更に、Fig. 42 Bに示すように、電極上の液晶分子も、液晶層の中央付近では、約15～35°回転している。

なお、Fig. 42 Cに示すチルト角の符号は、便宜上、図面において、右上がりの起き上がりを正に、左上がりの起き上がりを負としている。したがって、本発明の方式では、電極上でも液晶分子の回転角 α が

変化し透過率を変化させることができるのである。

この動作と最も関係があるのが、液晶のツイスト弾性定数 K_2 であり、このツイスト弾性定数 K_2 は、小さいほうが好ましく、小さいほど電極上の液晶分子は、電極間の液晶分子の影響を受け、電極間の液晶分子の回転角 α に近づくように回転する。

Fig. 41Dに、ツイスト弾性定数 K_2 を約 1.0×10^{-12} N (ニュートン) とする場合の電極上および電極間の透過率の分布を模式的に示す。

電極が透明である場合は、前述した電極上の液晶分子の再配向動作により、電極間のA部分の透過率の平均透過率の5～30%が、電極上でのB部分の透過率の平均値透過率となる。

また、後述するように、ツイスト弾性定数 K_2 を 2.0×10^{-12} N (ニュートン) 以下にすれば、電極間のA部分の透過率の平均透過率の50%以上が、電極上でのB部分の透過率の平均値透過率となることが分かった。したがって、全体部分の平均透過率は、A+B部分の透過率の平均値透過率となり、引き上げられる。

つまり、従来全く光を透過させない金属層で構成されたものと比べて各画素当りの開口率を実質的に向上させることができるようになる。

本例のシミュレーションでは、初期プレチルト角を零度に設定して計算しているが、実際は、液晶層の配向膜との界面付近の初期プレチルト角が約10度以下、好ましくは6度以下にラビング処理にて設定することが必要である。また、後述する実施例では、約5度に設定している。

このような範囲に初期プレチルト角を設定することで、液晶層界面の液晶分子を基板面内方向に規制することができ、電界印加時でも電極上

の液晶層の平均チルト角は、45度未満を維持できることになる。つまり、電界印加時でも、電極上の液晶が、いわゆるホメオトロピック配向となることを防止できる。

Fig. 44は、横電界方式の液晶表示装置において、液晶層内の液晶分子のチルト角と、全方位でコントラスト比が10以上となる視野角範囲を示すシミュレーション結果の特性図の一例である。

すなわち、チルト角が、30度程度であれば、表示面に対して垂直方向から約40度傾斜した視野角範囲内の全方位でコントラスト比が10以上となり、ほぼ、従来の縦電界方式の液晶表示装置と同等の特性が得られる。更に、チルト角を小さくするにつれ、視野角範囲は拡大し、10度程度であれば、約80度傾斜した視野角範囲内まで、5度以下であれば、ほぼ全域まで広がり、広視野角特性が得られる。

本実施例では、電界無印加時および電界印加時の電極間および透明電極上の液晶層内の液晶分子の平均チルト角を常に低減するため、後述する配向膜ORI1、ORI2のラビング方向は、2枚の基板SUB1、SUB2側の液晶層の界面の液晶分子の初期プレチルト角がスプレイ状態となる様に初期配向状態を設定し、液晶層の中央部付近の液晶分子ができるかぎり界面と平行になるようにする。

〔図面の簡単な説明〕

Fig. 1は、本発明の実施例1のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 2は、Fig. 1の3-3切断線における画素の断面図である。

F i g. 3は、F i g. 1の4-4切断線における薄膜トランジスタ素子T F Tの断面図である。

F i g. 4は、F i g. 1の5-5切断線における蓄積容量C s t gの断面図である。

F i g. 5は、表示パネルのマトリクス周辺部の構成を説明するための平面図である。

F i g. 6は、左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

F i g. 7 Aは、ゲート端子G T Mとゲート配線G Lの接続部近辺を示す平面図と、F i g. 7 Bは、その断面図である。

F i g. 8 Aは、ドレイン端子D T Mと映像信号線D Lとの接続部付近を示す平面図と、F i g. 8 Bは、その断面図である。

F i g. 9 Aは、共通電極端子C T M、共通バスラインC Bおよび共通電圧信号線C Lの接続部付近を示す平面図と、F i g. 9 Bは、その断面図である。

F i g. 10は、本発明のアクティブ・マトリックス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

F i g. 11は、本発明のアクティブ・マトリックス型カラー液晶表示装置の駆動波形を示す図である。

F i g. 12は、基板S U B 1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

F i g. 13は、基板S U B 1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

F i g. 14は、基板S U B 1側の工程G～Hの製造工程を示す画素

部とゲート端子部の断面図のフローチャートである。

F i g. 15 は、液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

F i g. 16 は、駆動回路を構成する集積回路チップC H I がフレキシブル配線基板に搭載されたテープキャリアパッケージT C P の断面構造を示す図である。

F i g. 17 は、テープキャリアパッケージT C P を液晶表示パネルP N L の走査信号回路用端子G T M に接続した状態を示す要部断面図である。

F i g. 18 は、液晶表示モジュールの分解斜視図である。

F i g. 19 は、印加電界方向、ラビング方向、偏光板透過軸の関係を示す図である。

F i g. 20 は、本発明の実施例2のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

F i g. 21 は、本発明の実施例3のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

F i g. 22 は、本発明の実施例4のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

F i g. 23 は、本発明の実施例5のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 24 A～Cは、本発明の実施例6のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図及び断面図である。

Fig. 25は、本発明の実施例7のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 26は、Fig. 25の6－6切断線における断面図である。

Fig. 27は、Fig. 25の7－7切断線における薄膜トランジスタ素子TFTの断面図である。

Fig. 28は、Fig. 25の8－8切断線における蓄積容量 C_{stg} の断面図である。

Fig. 29 Aは、ゲート端子GTMとゲート配線GLの接続部近辺を示す平面図と、Fig. 29 Bは、その断面図である。

Fig. 30 Aは、ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面図と、Fig. 30 Bは、その断面図である。

Fig. 31 Aは、共通電極端子CTM1、共通バスラインCB1および共通電圧信号線CLの接続部付近を示す平面図と、Fig. 31 Bは、その断面図である。

Fig. 32 Aは、共通電極端子CTM2、共通バスラインCB2および共通電圧信号線CLの接続部付近を示す平面図と、Fig. 32 Bは、その断面図である。

Fig. 33は、本発明のアクティブ・マトリックス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

Fig. 34は、本発明のアクティブ・マトリックス型カラー液晶表

示装置の駆動波形を示す図である。

F i g. 35は、基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

F i g. 36は、基板SUB1側の工程D～Eの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

F i g. 37は、基板SUB1側の工程Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

F i g. 38は、本発明の実施例8のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

F i g. 39は、本発明の実施例9のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

F i g. 40は、本発明の実施例10のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

F i g. 41A～Dは、本発明の原理を示す図で、F i g. 41Aは、電極に電圧を印加した時の液晶層内の電位分布を示す特性図、F i g. 41Bは、液晶層の中央部付近の液晶分子の再配向状態を示す平面図、F i g. 41Cは、F i g. 41Bに示す液晶分子の回転角 α を示す特性図、F i g. 41Dは、上下偏光板、上下基板、電極上および電極間の液晶層を透過する光の透過率分布を示す特性図の一例である。

F i g. 42は、本発明の原理を示す図で、F i g. 42Aは、電圧を透明電極に印加した場合の等電位線の状態を示す特性図、F i g. 4

2 BおよびF i g. 4 2 Cは、電界印加した時の液晶層内の液晶分子の回転角 α およびチルト（起き上がり）角を示す図の一例である。

F i g. 4 3は、本発明の実施例1 1のアクティブ・マトリックス型カラー液晶表示装置の開口率向上の原理を示す図で、F i g. 4 3 Aは、電極に電圧を印加した時の液晶層内の電位分布を示す特性図、F i g. 4 3 Bは、液晶層の中央部付近の液晶分子の再配向状態を示す平面図、F i g. 4 3 Cは、F i g. 4 3 Bに示す液晶分子の回転角 α を示す特性図、F i g. 4 3 Dは、上下偏光板、上下基板、電極上および電極間の液晶層を透過する光の透過率分布を示す特性図の一例である。

F i g. 4 4は、横電界方式の液晶表示装置において、液晶層内の液晶分子のチルト角と全方位でコントラスト比が1 0以上となる視野角範囲を示すシミュレーション結果の特性図の一例である。

〔発明を実施するための最良の形態〕

本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

（実施例1）

《アクティブ・マトリックス液晶表示装置》

以下、アクティブ・マトリックス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

《マトリクス部（画素部）の平面構成》

F i g. 1は本発明のアクティブ・マトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図である。（図の斜線部分は透明導電膜g 2を示す。）

F i g. 1に示すように、各画素は走査信号線（ゲート信号線または水平信号線）G Lと、対向電圧信号線（対向電極配線）C Lと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）D Lとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタT F T、蓄積容量C s t g、画素電極P Xおよび対向電極C Tを含む。走査信号線G L、対向電圧信号線C Lは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線D Lは上下方向に延在し、左右方向に複数本配置されている。画素電極P Xはソース電極S D 1を介して薄膜トランジスタT F Tと接続され、対向電極C Tは対向電圧信号線C Lと一体になっている。

映像信号線D Lに沿って上下に隣接する2画素では、F i g. 1のA線で折曲げたとき、平面構成が重なり合う構成となっている。これは、対向電圧信号線C Lを映像信号線D Lに沿って上下に隣接する2画素で共通化し、対向電圧信号線C Lの電極幅を拡大することにより、対向電圧信号線C Lの抵抗を低減するためである。これにより、外部回路から左右方向の各画素の対向電極C Tへ対向電圧を十分に供給することが容易になる。

画素電極P Xと対向電極C Tは互いに対向し、各画素電極P Xと対向電極C Tとの間の電界により液晶L Cの光学的な状態を制御し、表示を制御する。画素電極P Xと対向電極C Tは櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

1画素内の対向電極C Tの本数O（櫛歯の本数）は、画素電極P Xの本数（櫛歯の本数）Pと $O = P + 1$ の関係を必ず持つように構成する（本実施例では、 $O = 3$ 、 $P = 2$ ）。これは、対向電極C Tと画素電極P X

を交互に配置し、かつ、対向電極C Tを映像信号線D Lに必ず隣接させるためである。これにより、対向電極C Tと画素電極P Xの間の電界が、映像信号線D Lから発生する電界から影響を受けないように、対向電極C Tで映像信号線D Lからの電気力線をシールドすることができる。対向電極C Tは、後述の対向電圧信号線C Lにより常に外部から電位を供給されているため、電位は安定している。そのため、映像信号線D Lに隣接しても、電位が変動がほとんどない。また、これにより、画素電極P Xの映像信号線D Lからの幾何学的な位置が遠くなるので、画素電極P Xと映像信号線D Lの間の寄生容量が大幅に減少し、画素電極電位 V_s の映像信号電圧による変動も抑制できる。これらにより、上下方向に発生するクロストーク（縦スミアと呼ばれる画質不良）を抑制することができる。

画素電極P Xと対向電極C Tの電極幅はそれぞれ $6\ \mu\text{m}$ とする。これは、液晶層の厚み方向に対して、液晶層全体に十分な電界を印加するために、後述の液晶層の厚み $3.9\ \mu\text{m}$ よりも十分大きく設定し、かつ開口率を大きくするためにできるだけ細くする。また、映像信号線D Lの電極幅は断線を防止するために、画素電極P Xと対向電極C Tに比較して若干広く $8\ \mu\text{m}$ とする。ここで、映像信号線D Lの電極幅が、隣接する対向電極C Tの電極幅の2倍以下になるように設定する。または、映像信号線D Lの電極幅が歩留りの生産性から決まっている場合には、映像信号線D Lに隣接する対向電極C Tの電極幅を映像信号線D Lの電極幅の $1/2$ 以上にする。これは、映像信号線D Lから発生する電気力線をそれぞれ両脇の対向電極C Tで吸収するためであり、ある電極幅から発生する電気力線を吸収するには、それと同一幅以上の電極幅を持

つ電極が必要である。したがって、映像信号線DLの電極の半分 ($4\mu\text{m}$ ずつ) から発生する電気力線をそれぞれ両脇の対向電極CTが吸収しなければよいため、映像信号線DLに隣接する対向電極CTの電極幅が $1/2$ 以上とする。これにより、映像信号の影響により、クロストークが発生する、特に上下方向 (縦方向のクロストーク) を防止する。

走査信号線GLは末端側の画素 (後述の走査電極端子GTMの反対側) のゲート電極GTに十分に走査電圧が印加するだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線CLも末端側の画素 (後述の共通バスラインCBの反対側) の対向電極CTに十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

一方、画素電極PXと対向電極CTの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路 (信号側ドライバ) の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。後述の液晶材料を用いると電極間隔は、 $16\mu\text{m}$ となる。

《マトリクス部 (画素部) の断面構成》

Fig. 2はFig. 1の3-3切断線における断面を示す図、Fig. 3はFig. 1の4-4切断線における薄膜トランジスタTFTの断面図、Fig. 4はFig. 1の5-5切断線における蓄積容量Cstgの断面を示す図である。Fig. 2～Fig. 4に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstgおよび電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリ

クスパターンBMが形成されている。

また、透明ガラス基板SUB 1、SUB 2のそれぞれの内側（液晶LC側）の表面には、液晶の初期配向を制御する配向膜ORI 1、ORI 2が設けられており、透明ガラス基板SUB 1、SUB 2のそれぞれの外側の表面には、偏光軸が直交して配置された（クロスニコル配置）偏光板が設けられている。

《TFT基板》

まず、下側透明ガラス基板SUB 1側（TFT基板）の構成を詳しく説明する。

《薄膜トランジスタTFT》

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

薄膜トランジスタTFTは、Fig. 3に示すように、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層AS、一对のソース電極SD 1、ドレイン電極SD 2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

《ゲート電極GT》

ゲート電極GTは走査信号線GLと連続して形成されており、走査信号線GLの一部の領域がゲート電極GTとなるように構成されている。

ゲート電極G Tは薄膜トランジスタT F Tの能動領域を超える部分であり、i型半導体層A Sを完全に覆うよう（下方からみて）それより大き目に形成されている。これにより、ゲート電極G Tの役割のほかに、i型半導体層A Sに外光やバックライト光が当たらないように工夫されている。本例では、ゲート電極G Tは、単層の導電膜g 1で形成されている。導電膜g 1としては例えばスパッタで形成されたアルミニウム（A 1）膜が用いられ、その上にはA 1の陽極酸化膜A O Fが設けられている。

《走査信号線G L》

走査信号線G Lは導電膜g 1で構成されている。この走査信号線G Lの導電膜g 1はゲート電極G Tの導電膜g 1と同一製造工程で形成され、かつ一体に構成されている。この走査信号線G Lにより、外部回路からゲート電圧 V_g をゲート電極G Tに供給する。また、走査信号線G L上にもA 1の陽極酸化膜A O Fが設けられている。なお、映像信号線D Lと交差する部分は映像信号線D Lとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。

《対向電極C T》

対向電極C Tはゲート電極G Tおよび走査信号線G Lと同層の導電膜g 1で構成されている。また、対向電極C T上にもA 1の陽極酸化膜A O Fが設けられている。対向電極C Tには対向電圧 V_{com} が印加されるように構成されている。本実施例では、対向電圧 V_{com} は映像信号線D Lに印加される最小レベルの駆動電圧 V_{dmin} と最大レベルの駆動電圧 V_{dmax} との中間直流電位から、薄膜トランジスタ素子T

F Tをオフ状態にするときに発生するフィードスルー電圧 ΔV_s 分だけ低い電位に設定されるが、映像信号駆動回路で使用する集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。

《対向電圧信号線C L》

対向電圧信号線C Lは導電膜g 1で構成されている。この対向電圧信号線C Lの導電膜g 1はゲート電極G T、走査信号線G Lおよび対向電極C Tの導電膜g 1と同一製造工程で形成され、かつ対向電極C Tと一体に構成されている。この対向電圧信号線C Lにより、外部回路から対向電圧 V_{com} を対向電極C Tに供給する。また、対向電圧信号線C L上にもA lの陽極酸化膜A O Fが設けられている。なお、映像信号線D Lと交差する部分は、走査信号線G Lと同様に映像信号線D Lとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。

《絶縁膜G I》

絶縁膜G Iは、薄膜トランジスタT F Tにおいて、ゲート電極G Tと共に半導体層A Sに電界を与えるためのゲート絶縁膜として使用される。絶縁膜G Iはゲート電極G Tおよび走査信号線G Lの上層に形成されている。絶縁膜G Iとしては例えばプラズマC V Dで形成された窒化シリコン膜が選ばれ、 $1200 \sim 2700 \text{ \AA}$ の厚さに（本実施例では、 2400 \AA 程度）形成される。ゲート絶縁膜G Iは、マトリクス部A Rの全体を囲むように形成され、周辺部は外部接続端子D T M、G T Mを露出するよう除去されている。絶縁膜G Iは走査信号線G Lおよび対向電圧信号線C Lと映像信号線D Lの電氣的絶縁にも寄与している。

《i型半導体層A S》

i 型半導体層 A S は、非晶質シリコンで、 $200 \sim 2200 \text{ \AA}$ の厚さに（本実施例では、 2000 \AA 程度の膜厚）で形成される。層 d 0 はオーミックコンタクト用のリン（P）をドーピングした N（+）型非晶質シリコン半導体層であり、下側に i 型半導体層 A S が存在し、上側に導電膜 d 1（d 2）が存在するところのみに残されている。

i 型半導体層 A S は走査信号線 G L および対向電圧信号線 C L と映像信号線 D L との交差部（クロスオーバー部）の両者間にも設けられている。この交差部の i 型半導体層 A S は交差部における走査信号線 G L および対向電圧信号線 C L と映像信号線 D L との短絡を低減する。

《ソース電極 S D 1、ドレイン電極 S D 2》

ソース電極 S D 1、ドレイン電極 S D 2 のそれぞれは、N（+）型半導体層 d 0 に接触する導電膜 d 1 とその上に形成された導電膜 d 2 とから構成されている。

導電膜 d 1 はスパッタで形成したクロム（C r）膜を用い、 $500 \sim 1000 \text{ \AA}$ の厚さに（本実施例では、 600 \AA 程度）で形成される。C r 膜は膜厚を厚く形成するとストレスが大きくなるので、 2000 \AA 程度の膜厚を越えない範囲で形成する。C r 膜は N（+）型半導体層 d 0 との接着性を良好にし、導電膜 d 2 の A l が N（+）型半導体層 d 0 に拡散することを防止する（いわゆるバリア層の）目的で使用する。導電膜 d 1 として、C r 膜の他に高融点金属（M o、T i、T a、W）膜、高融点金属シリサイド（M o S i₂、T i S i₂、T a S i₂、W S i₂）膜を用いてもよい。

導電膜 d 2 は A l のスパッタリングで $3000 \sim 5000 \text{ \AA}$ の厚さに（本実施例では、 4000 \AA 程度）形成される。A l 膜は C r 膜に比

べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

導電膜d1、導電膜d2を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは導電膜d1、導電膜d2をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は導電膜d1、導電膜d2以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

《映像信号線DL》

映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。また、映像信号線DLはドレイン電極SD2と一体に形成されている。

《画素電極PX》

画素電極PXは、透明導電層g2で形成されている。この透明導電膜g2はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、100～2000Åの厚さに（本実施例では、1400Å程度の膜厚）形成される。

画素電極が本実施例のように透明になることにより、その部分の透過光により、白表示を行う時の最大透過率が向上するため、画素電極が不透明な場合よりも、より明るい表示を行うことができる。この時、後述

するように、電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）にしているので、画素電極を透明にしても、その部分の光を透過することがなく、良質な黒を表示することができる。これにより、最大透過率が向上させ、かつ十分なコントラスト比を達成することができる。

《蓄積容量 C_{stg} 》

画素電極 PX は、薄膜トランジスタ $TF T$ と接続される端部と反対側の端部において、対向電圧信号線 CL と重なるように形成されている。この重ね合わせは、 $Fig. 4$ からも明らかなように、画素電極 PX を一方の電極 $PL 2$ とし、対向電圧信号 CL を他方の電極 $PL 1$ とする蓄積容量（静電容量素子） C_{stg} を構成する。この蓄積容量 C_{stg} の誘電体膜は、薄膜トランジスタ $TF T$ のゲート絶縁膜として使用される絶縁膜 GI および陽極酸化膜 $AO F$ で構成されている。

$Fig. 1$ に示すように平面的には蓄積容量 C_{stg} は対向電圧信号線 CL の導電膜 $g 1$ の幅を広げた部分に形成されている。

《保護膜 $PS V 1$ 》

薄膜トランジスタ $TF T$ 上には保護膜 $PS V 1$ が設けられている。保護膜 $PS V 1$ は主に薄膜トランジスタ $TF T$ を湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜 $PS V 1$ はたとえばプラズマ CVD 装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、 $1 \mu m$ 程度の膜厚で形成する。

保護膜 $PS V 1$ は、マトリクス部 AR の全体を囲むように形成され、周辺部は外部接続端子 DTM 、 $G TM$ を露出するよう除去されている。

保護膜P S V 1とゲート絶縁膜G Iの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス g_m を薄くされる。従って、保護効果の高い保護膜P S V 1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜G Iよりも大きく形成されている。

《カラーフィルタ基板》

次に、F i g. 1、F i g. 2に戻り、上側透明ガラス基板S U B 2側（カラーフィルタ基板）の構成を詳しく説明する。

《遮光膜B M》

上部透明ガラス基板S U B 2側には、不要な間隙部（画素電極P Xと対向電極C Tの間以外の隙間）からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜B M（いわゆるブラックマトリクス）を形成している。遮光膜B Mは、外部光またはバックライト光がi型半導体層A Sに入射しないようにする役割も果たしている。すなわち、薄膜トランジスタT F Tのi型半導体層A Sは上下にある遮光膜B Mおよび大き目のゲート電極G Tによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

F i g. 1に示す遮光膜B Mの閉じた多角形の輪郭線は、その内側が遮光膜B Mが形成されない開口を示している。この輪郭線のパターンは、1例であり、より開口部分を大きくする場合には、F i g. 1の点線の遮光膜B M 1の様にすることもできる。F i g. 1中の拡大された領域は電界方向が乱れるが、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することが可能である。また、図の上下方向の境界線は

上下基板の合わせ精度によって決まり、合わせ精度が映像信号線DLに隣接する対向電極CTの電極幅よりも良い場合には、対向電極の幅の間に設定れば、より開口部を拡大することができる。

遮光膜BMは光に対する遮蔽性を有し、かつ、画素電極PXと対向電極CTの間の電界に影響を与えないように絶縁性の高い膜で形成されており、本実施例では黒色の顔料をレジスト材に混入し、 $1.2\mu\text{m}$ 程度の厚さで形成している。

遮光膜BMは各画素の周囲に格子状に形成され、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとする。つまり、遮光膜BMは、ブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

遮光膜BMは周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けたFig. 1に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約 $0.3\sim 1.0\text{mm}$ 程内側に留められ、基板SUB2の切断領域を避けて形成されている。

《カラーフィルタFIL》

カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは遮光膜BMのエッジ部分と重なるように形成されている。

カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形

成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

《オーバーコート膜OC》

オーバーコート膜OCはカラーフィルタFILの染料の液晶LCへの漏洩の防止、および、カラーフィルタFIL、遮光膜BMによる段差の平坦化のために設けられている。オーバーコート膜OCはたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

《液晶層および偏光板》

次に、液晶層、配向膜、偏光板等について説明する。

《液晶層》

液晶材料LCとしては、誘電率異方性 $\Delta\epsilon$ が正でその値が13.2、屈折率異方性 Δn が0.081(589nm、20℃)のネマティック液晶を用いる。液晶層の厚み(ギャップ)は、3.9 μm とし、リタデーション $\Delta n \cdot d$ は0.316とする。このリタデーション $\Delta n \cdot d$ の値により、後述の配向膜と偏光板と組み合わせ、液晶分子がラビング方向から電界方向に45°回転したとき最大透過率を得ることができ、可視光の範囲ないで波長依存性がほとんどない透過光を得ることができる。

なお、液晶層の厚み(ギャップ)は、ポリマビーズで制御している。

なお、液晶材料LCは、特に限定したものではなく、誘電率異方性 $\Delta\epsilon$ は負でもよい。また、誘電率異方性 $\Delta\epsilon$ は、その値が大きいほうが、駆動電圧が低減できる。また、屈折率異方性 Δn は小さいほうが、液晶層の厚み(ギャップ)を厚くでき、液晶の封入時間が短縮され、かつギ

ャップばらつきを少なくすることができる。

また、液晶材料の材料物性と透明導電膜の対向電極部分あるいは画素電極部分での透過光強度の関係を調べると、液晶材料のツイスト弾性定数 K_2 に大きく依存することが分かった。これは電極間の開口部において光透過をもたらす横電界による面内ツイスト変形の、透明導電膜の電極上部での減衰が、上記の液晶材料のツイスト弾性定数 K_2 に応じた固有の曲率で生じるためである。したがって、透明導電膜の電極部分での光透過をより大きくして、この透明導電膜の電極を含んだ開口部全体の輝度を向上させるには、ツイスト弾性定数 K_2 の小さな液晶材料を用いて、上記の減衰曲率を小さくすればよい。ツイスト弾性定数 K_2 の効果については、実施例11で更に記載する。

本実施例1では、ツイスト弾性定数 K_2 として、 $5.1 \times 10^{-12} \text{ N}$ （ニュートン）を使用している。

《配向膜》

配向膜ORIとしては、ポリイミドを用いる。ラビング方向は上下基板で互いに平行にし、初期配向方向RDRと印加電界方向EDR（Ex）とのなす初期配向角 ϕ_{LC} は 75° とする。Fig. 19にその関係を示す。

なお、初期配向方向RDRと印加電界方向EDRとのなす初期配向角 ϕ_{LC} は、液晶材料の誘電率異方性 $\Delta\epsilon$ が正であれば、 45° 以上 90° 未満、誘電率異方性 $\Delta\epsilon$ が負であれば、 0° を超え 45° 以下でなければならない。

さらに、本実施例では、ラビング方向を配向膜ORI1、ORI2で互いに平行することで、電極間及び電極上の表示に寄与する液晶層の上

下界面の液晶分子の初期プレチルト角が、スプレイ状態となり、液晶分子が互いに光学特性を補償する効果を出し、広い視野角特性が得られる。

また、ラビング方向を配向膜ORI 1、ORI 2で互いに反平行することで、液晶層の上下界面の液晶分子のプレチルト角が平行状態となり、平均の液晶層内のチルト角は、より増加するが、10度以下にプレチルト角を設定することで、本発明の同様な効果が得られる。

《偏光板》

偏光板POLとしては、日東電工社製G1220DUを用い、下側の偏光板POL 1の偏光透過軸MAX 1をラビング方向RDRと一致させ、上側の偏光板POL 2の偏光透過軸MAX 2を、それに直交させる。Fig. 19にその関係を示す。これにより、本発明の画素に印加される電圧（画素電極PXと対向電極CTの間の電圧）を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができ、また、電圧無印加時には、良質な黒表示ができる。

また、偏光板POL 2自体には、外部からの静電気の影響を防止するため、その比抵抗値を低減する目的で、透明導電膜が一面に形成されている。この透明導電膜は、上基板SUB 2と上偏光板POL 2との間に形成しても良い。

《マトリクス周辺の構成》

Fig. 5は上下のガラス基板SUB 1、SUB 2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を示す図である。また、Fig. 6は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。F i g . 5、F i g . 6は後者の例を示すもので、F i g . 5、F i g . 6の両図とも上下基板S U B 1、S U B 2の切断後を表しており、L Nは両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群T g、T dおよび端子C O T（添字略）が存在する（図で上辺と左辺の）部分はそれらを露出するように上側基板S U B 2の大きさが下側基板S U B 1よりも内側に制限されている。端子群T g、T dはそれぞれ後述する走査回路接続用端子G T M、映像信号回路接続用端子D T Mとそれらの引出配線部を集積回路チップC H Iが搭載されたテープキャリアパッケージT C P（F i g . 16、F i g . 17）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージT C Pの配列ピッチ及び各パッケージT C Pにおける接続端子ピッチに表示パネルP N Lの端子D T M、G T Mを合わせるためである。また、対向電極端子C T Mは、対向電極C Tに対向電圧を外部回路から与えるための端子である。マトリクス部の対向電圧信号線C Lは、走査回路用端子G T Mの反対側（図では右側）に引き出し、各対向電圧信号線を共通バスラインC Bで一纏めにして、対向電極端子C T Mに接続している。

透明ガラス基板S U B 1、S U B 2の間にはその縁に沿って、液晶封

入口 I N J を除き、液晶 L C を封止するようにシールパターン S L が形成される。シール材は例えばエポキシ樹脂から成る。

配向膜 O R I 1、O R I 2 の層は、シールパターン S L の内側に形成される。偏光板 P O L 1、P O L 2 はそれぞれ下部透明ガラス基板 S U B 1、上部透明ガラス基板 S U B 2 の外側の表面に構成されている。液晶 L C は液晶分子の向きを設定する下部配向膜 O R I 1 と上部配向膜 O R I 2 との間でシールパターン S L で仕切られた領域に封入されている。下部配向膜 O R I 1 は下部透明ガラス基板 S U B 1 側の保護膜 P S V 1 の上部に形成される。

この液晶表示装置は、下部透明ガラス基板 S U B 1 側、上部透明ガラス基板 S U B 2 側で別個に種々の層を積み重ね、シールパターン S L を基板 S U B 2 側に形成し、下部透明ガラス基板 S U B 1 と上部透明ガラス基板 S U B 2 とを重ね合わせ、シール材 S L の開口部 I N J から液晶 L C を注入し、注入口 I N J をエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

《ゲート端子部》

F i g. 7 A は表示マトリクスの走査信号線 G L からその外部接続端子 G T M までの接続構造を示す平面図であり、F i g. 7 B は、F i g. 7 A の B - B 切断線における断面を示している。なお、同図は F i g. 5 右中央付近に対応し、斜め配線の部分は便宜状一直線状で表した。

A O はホトレジスト直接描画の境界線、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターン A O は完成品としては残らないが、ゲート配線 G L には断面図に示すように酸化膜 A O F が選択的に形成され

るのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g1は表面にその酸化物 Al_2O_3 膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。

図中AL層g1は、判り易くするためハッチを施してあるが、陽極化されない領域は櫛状にパターンニングされている。これは、Al層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。

ゲート端子GTMはAl層g1と、更にその表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電層g2とで構成されている。この透明導電膜g2は画素電極PXと同一工程で形成された透明導電膜ITOを用いている。またAl層g1上及びその側面部に形成された導電層d1及びd2は、Al層と透明導電層g2との接続不良を補うために、Al層と透明導電層g2の両方に接続性の良いCr層d1を接続し、接続抵抗の低減を図るためのものであり、導電層d2は導電層d1と同一マスク形成しているために残っているものである。

平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが

示されているが、実際はこのような対が F i g . 7 A、B に示すように上下に複数本並べられ端子群 T g (F i g . 5) が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線 S H g (図示せず) によって短絡される。製造過程におけるこのような短絡線 S H g は陽極化成時の給電と、配向膜 O R I 1 のラビング時等の静電破壊防止に役立つ。

《ドレイン端子 D T M》

F i g . 8 A は映像信号線 D L からその外部接続端子 D T M までの接続を示す平面図を示し、F i g . 8 B は、F i g . 8 A の B - B 切断線における断面を示す。なお、同図は F i g . 5 右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板 S U B 1 の上端部に該当する。

T S T d は検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子 D T M も外部回路との接続ができるよう配線部より幅が広げられている。外部接続ドレイン端子 D T M は上下方向に配列され、ドレイン端子 D T M は、F i g . 5 に示すように端子群 T d (添字省略) を構成し基板 S U B 1 の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線 S H d (図示せず) によって短絡される。検査端子 T S T d は F i g . 8 A に示すように一本置き映像信号線 D L に形成される。

ドレイン接続端子 D T M は透明導電層 g 2 単層で形成されており、ゲート絶縁膜 G I を除去した部分で映像信号線 D L と接続されている。この透明導電膜 g 2 はゲート端子 G T M の時と同様に画素電極 P X と同

一工程で形成された透明導電膜ITOを用いている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。ドレイン端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。

マトリクス部からドレイン端子部DTMまでの引出配線は、映像信号線DLと同じレベルの層d1、d2が保護膜PSV1の途中まで構成されており、保護膜PSV1の中で透明導電膜g2と接続されている。これは、電触し易いAl層d2を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

《対向電極端子CTM》

Fig. 9Aは対向電圧信号線CLからその外部接続端子CTMまでの接続を示す平面図を示し、Fig. 9Bは、Fig. 9AのB-B切断線における断面を示す。なお、同図はFig. 5左上付近に対応する。

各対向電圧信号線CLは共通バスラインCBで一纏めして対向電極端子CTMに引き出されている。共通バスラインCBは導電層g1の上に導電層d1、導電層d2を積層した構造となっている。これは、共通バスラインCBの抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。共通バスラインCBの導電層g1は導電層d1、導電層d2と電氣的に接続されるように、陽極化成はされていない。また、ゲート絶縁膜GIからも露出している。

対向電極端子CTMは、導電層g1の上に透明導電層g2が積層され

た構造になっている。この透明導電膜 g_2 は他の端子の時と同様に画素電極 PX と同一工程で形成された透明導電膜 ITO を用いている。透明導電層 g_2 により、その表面を保護し、電食等を防ぐために耐久性のよい透明導電層 g_2 で、導電層 g_1 を覆っている。

《表示装置全体等価回路》

表示マトリクス部の等価回路とその周辺回路の結線図を $Fig. 10$ に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。AR は複数の画素を二次元状に配列したマトリクス・アレイである。

図中、X は映像信号線 DL を意味し、添字 G、B および R がそれぞれ緑、青および赤画素に対応して付加されている。Y は走査信号線 GL を意味し、添字 1、2、3、…、end は走査タイミングの順序に従って付加されている。

走査信号線 Y (添字省略) は垂直走査回路 V に接続されており、映像信号線 X (添字省略) は映像信号駆動回路 H に接続されている。

SUP は 1 つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト (上位演算処理装置) からの CRT (陰極線管) 用の情報を TFT 液晶表示装置用の情報に交換する回路を含む回路である。

《駆動方法》

$Fig. 11$ に本発明の液晶表示装置の駆動波形を示す。

実施例 1 では、対向電圧信号線 CL が、アルミニウムという低抵抗金属の導電膜 g_1 から形成されているため、負荷インピーダンスが少なく、対向電圧の波形変形が少なくなる。このため、対向電圧を交流化でき、

信号線電圧を低減できる利点がある。

すなわち、対向電圧を V_{ch} と V_{cl} の2値の交流矩型波にし、それに同期させて走査信号 $V_g(i-1)$ 、 $V_g(i)$ の非選択電圧を1走査期間ごとに、 V_{glh} と V_{gll} の2値で変化させる。対向電圧の振幅値と非選択電圧の振幅値は同一にする。映像信号電圧は、液晶層に印加したい電圧から、対向電圧の振幅の $1/2$ を差し引いた電圧である。

対向電圧は直流でもよいが、交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路（信号側ドライバ）に耐圧の低いものを用いることが可能になる。後述する実施例2、3では、対向電圧信号線CLが、透明導電膜g2から形成されているため、比較的抵抗が高くなり、対向電圧は直流方式が好ましい。

《蓄積容量 C_{stg} の働き》

蓄積容量 C_{stg} は、画素に書き込まれた（薄膜トランジスタTFTがオフした後の）映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量（いわゆる液晶容量）がほとんど無いため、蓄積容量 C_{stg} が映像情報を画素に蓄積することができない。したがって、電界を基板面と平行に印加する方式では、蓄積容量 C_{stg} は必須の構成要素である。

また、蓄積容量 C_{stg} は、薄膜トランジスタTFTがスイッチングするとき、画素電極電位 V_s に対するゲート電位変化 ΔV_g の影響を低減するようにも働く。この様子を式で表すと、次のようになる。

$$\Delta V_s = \{C_{gs} / (C_{gs} + C_{stg} + C_{pix})\} \times \Delta V_g$$

ここで、 C_{gs} は薄膜トランジスタTFTのゲート電極GTとソース

電極SD1との間に形成される寄生容量、 C_{pix} は画素電極PXと対向電極CTとの間に形成される容量、 ΔV_s は ΔV_g による画素電極電位の変化分いわゆるフィードスルー電圧を表わす。この変化分 ΔV_s は液晶LCに加わる直流成分の原因となるが、保持容量 C_{stg} を大きくすればする程、その値を小さくすることができる。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量 C_{gs} が大きくなり、画素電極電位 V_s はゲート（走査）信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、蓄積容量 C_{stg} を設けることによりこのデメリットも解消することができる。

《製造方法》

つぎに、上述した液晶表示装置の基板SUB1側の製造方法についてF i g. 12～F i g. 14を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側はF i g. 3に示す薄膜トランジスタTF T部分、右側はF i g. 7に示すゲート端子付近の断面形状でみた加工の流れを示す。工程B、工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って説明する。

工程A、F i g. 1 2

AN635ガラス（商品名）からなる下部透明ガラス基板SUB1上に膜厚が 3000 \AA のAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる導電膜g1をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で導電膜g1を選択的にエッチングする。それによって、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CL、電極PL1、ゲート端子GTM、共通バスラインCBの第1導電層、対向電極端子CTMの第1導電層、ゲート端子GTMを接続する陽極酸化バスラインSHg（図示せず）および陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

工程B、F i g. 1 2

直接描画による陽極酸化マスクAOの形成後、3%酒石酸をアンモニアにより $\text{PH}6.25 \pm 0.05$ に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が 0.5 mA/cm^2 になるように調整する（定電流化成）。次に所定の Al_2O_3 膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一な Al_2O_3 膜を得る上で大事なことである。それによって、導電膜g1を陽極酸化され、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CLおよび電極PL1上に膜厚が 1800 \AA の陽極酸化膜AOFが形成される。

工程C、F i g. 1 2

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入

して、膜厚が 2200 \AA の窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が 2000 \AA のi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が 300 \AA のN(+)型非晶質Si膜を設ける。

工程D、Fig. 13

写真処理後、ドライエッチングガスとして SF_6 、 CCl_4 を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

工程E、Fig. 13

写真処理後、ドライエッチングガスとして SF_6 を使用して、窒化Si膜を選択的にエッチングする。

工程F、Fig. 13

膜厚が 1400 \AA のITO膜からなる透明導電膜g2をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜g2を選択的にエッチングすることにより、ゲート端子GTMの最上層、ドレイン端子DTMおよび対向電極端子CTMの第2導電層を形成する。

工程G、Fig. 14

膜厚が 600 \AA のCrからなる導電膜d1をスパッタリングにより設け、さらに膜厚が 4000 \AA のAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる導電膜d2をスパッタリングにより設ける。写真処理後、導電膜d2を工程Bと同様な液でエッチングし、導電膜d1を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2、画素電極PX、電極PL2、共通バス

ラインCBの第2導電層、第3導電層およびドレイン端子DTMを短絡するバスラインSHd（図示せず）を形成する。つぎに、ドライエッチング装置に CCl_4 、 SF_6 を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

工程H、Fig. 14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が $1\mu m$ の窒化Si膜を設ける。写真処理後、ドライエッチングガスとして SF_6 を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

《表示パネルPNLと駆動回路基板PCB1》

Fig. 15は、Fig. 5等にした表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPはFig. 16、Fig. 17で後述するように駆動用ICチップCHIがテープ・オートメィティド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片が半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1を電氣的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、

複数のリード線（りん青銅の素材にS n 鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

《TCPの接続構造》

F i g. 1 6 は走査信号駆動回路Vや映像信号駆動回路Hを構成する、集積回路チップC H I がフレキシブル配線基板に搭載されたテープキャリアパッケージT C P の断面構造を示す図であり、F i g. 1 7 はそれを液晶表示パネルの、本例では走査信号回路用端子G T M に接続した状態を示す要部断面図である。

同図において、T T B は集積回路C H I の入力端子・配線部であり、T T M は集積回路C H I の出力端子・配線部であり、例えばC u から成り、それぞれの内側の先端部（通称インナーリード）には集積回路C H I のボンディングパッドP A D がいわゆるフェースダウンボンディング法により接続される。端子T T B、T T M の外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップC H I の入力及び出力に対応し、半田付け等によりC R T / T F T 変換回路・電源回路S U P に、異方性導電膜A C F によって液晶表示パネルP N L に接続される。パッケージT C P は、その先端部がパネルP N L 側の接続端子G T M を露出した保護膜P S V 1 を覆うようにパネルに接続されており、従って、外部接続端子G T M (D T M) は保護膜P S V 1 かパッケージT C P の少なくとも一方で覆われるので電触に対して強くなる。

B F 1 はポリイミド等からなるベースフィルムであり、S R S は半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンS L の外側の上下ガラス基板の間

間は洗浄後エポキシ樹脂E P X等により保護され、パッケージT C Pと上側基板S U B 2の間には更にシリコン樹脂S I Lが充填され保護が多重化されている。

《駆動回路基板P C B 2》

駆動回路基板P C B 2は、I C、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板P C B 2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのC R T（陰極線管）用の情報をT F T液晶表示装置用の情報に変換する回路を含む回路S U Pが搭載されている。C Jは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

駆動回路基板P C B 1と駆動回路基板P C B 2とはフラットケーブルF Cにより電氣的に接続されている。

《液晶表示モジュールの全体構成》

F i g. 1 8は、液晶表示モジュールM D Lの各構成部品を示す分解斜視図である。

S H Dは金属板から成る枠状のシールドケース（メタルフレーム）、L C Wその表示窓、P N Lは液晶表示パネル、S P Bは光拡散板、L C Bは導光体、R Mは反射板、B Lはバックライト蛍光管、L C Aはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールM D Lが組み立てられる。

モジュールM D Lは、シールドケースS H Dに設けられた爪とフックによって全体が固定されるようになっている。

バックライトケースL C Aはバックライト蛍光管B L、光拡散板S P

B光拡散板、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導光体LCB、反射板RM、光拡散板SPBにより表示面で一様なバックライトにし、液晶表示パネルPNL側に出射する。

バックライト蛍光管BLにはインバータ回路基板PCB3が接続されており、バックライト蛍光管BLの電源となっている。

以上、本実施例では、画素電極を透明にすることにより、白表示を行うときの最大透過率が約30%（本実施例では31.8%）向上する。また、液晶表示パネルPNLの絶対透過率+5.0%に1.7倍。40%以上になる。端子の信頼性を向上するためのITO膜も同時に形成することができ、信頼性と生産性を両立することができる。

（実施例2）

本実施例は下記の要件を除けば、実施例1と同一である。Fig. 20に画素の平面図を示す。図の斜線部分は透明導電膜g2を示す。

《画素電極PX》

本実施例では、画素電極PXはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。また、画素電極PXはソース電極SD1と一体に形成されている。

《対向電極CT》

本実施例では、対向電極CTを透明導電膜g2で構成する。この透明導電膜g2は実施例1と同様、スパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、100～2000Åの厚さに（本実施例では、1400Å程度の膜厚）形成される。

《対向電圧信号線CL》

対向電圧信号線CLは透明導電膜g2で構成されて、かつ対向電極C

Tと一体に構成されている。

《ゲート端子部》

本実施例では、ゲート端子G TMのA l 層 g 1 の表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電層 g 2 を対向電極C Tと同一工程で形成する。構成は実施例 1 と何ら変わりはなく、F i g. 7 A、Bに示す通りである。

《ドレイン端子D TM》

本実施例では、ドレイン接続端子D TMの透明導電層 g 2 にゲート端子G TMの時と同様に対向電極C Tと同一工程で形成された透明導電膜 I T Oを用いている。構成は層の上下関係が実施例 1 と少し異なるが、本質的ではないので図は省略する。

《対向電極端子C TM》

対向電極端子C TMの導電層 g 1 の上の透明導電層 g 2 は他の端子の時と同様に対向電極C Tと同一工程で形成された透明導電膜 I T Oを用いている。構成は実施例 1 と何ら変わりはなく、F i g. 9 A、Bに示す通りである。

《製造方法》

本実施例では、実施例 1 の工程Bと工程Cの間に工程Fが入る順番になる。工程の順序としてはF i g. 1 2からF i g. 1 5のAからHが、A—B—F—C—D—E—G—Hの順になる。マスクパターンは、走査信号線G L、走査電極G Tと対向電圧信号線C Lが分離し、各端子の透明導電層 g 2 と対向電圧信号線C Lのパターンが同一マスクに形成される。

以上により、対向電極を透明にすることにより、最大透過率を約 16 %（本実施例では 15.9 %）向上させることができる。

し、液晶表示パネル PNL の絶対透過率は 4.4% に上昇。

（実施例 3）

本実施例は下記の要件を除けば、実施例 1 および実施例 2 と同一である。

Fig. 21 に画素の平面図を示す。図の斜線部分は透明導電膜 g 2 を示す。

《対向電極 C T》

本実施例では、対向電極 C T を透明導電膜 g 2 で構成する。この透明導電膜 g 2 は実施例 1 と同様にスパッタリングで形成された透明導電膜（Indium-Tin-Oxide I T O：ネサ膜）からなり、100～2000 Å の厚さに（本実施例では、1400 Å 程度の膜厚）形成される。

《対向電圧信号線 C L》

対向電圧信号線 C L は透明導電膜 g 2 で構成されて、かつ対向電極 C T と一体に構成されている。

《製造方法》

本実施例では、実施例 1 の工程 B と工程 C の間に工程 F が追加される順番になる。工程の順序としては Fig. 12 から Fig. 15 の A から H が、A—B—F—C—D—E—F—G—H の順になる。マスクパターンは、走査信号線 G L、走査電極 G T と対向電圧信号線 C L のパターンが独立したマスクに形成される。

本実施例では、画素電極と対向電極の両方を透明にすることにより、実施例 1 または実施例 2 以上に、白表示を行うときの最大透過率を約 50 %（本実施例では 47.7 %）向上させることができる。

し、液晶表示パネル PNL の絶対透過率は 5.6% に上昇。

（実施例 4）

本実施例は下記の要件を除けば、実施例 1 および実施例 3 と同一である。F i g. 2 2 に画素の平面図を示す。図の斜線部分は透明導電膜 g_2 を示す。

《対向電圧信号線 C L》

対向電圧信号線 C L は導電膜 g_1 で構成する。本実施例では、導電膜 g_1 に C r を用いる。また、対向電圧信号線 C L と対向電極 C T とを接続するために、陽極化成を行わない。また、ゲート絶縁膜 G I にスルーホール P H を形成する。また、導電膜 g_1 は C r 以外にも、T a、T i、M o、W、A l またはそれらの合金、もしくは、それらを積層したクラッド構造で形成してもよい。

《製造方法》

本実施例では、実施例 1 の工程 B が削除される。また、工程 E 時にスルーホール P H を形成し、工程 F 時に画素電極 P X と対向電極 C T を同一マスクで同時に形成する。

本実施例では、実施例 1 および実施例 3 の効果に加え、対向電圧信号線 C L の抵抗を低減することにより、対向電極間の電圧の伝わりを円滑にし、電圧の歪みを低減することにより、水平方向に発生するクロストーク（横スミア）を低減できる。

また、画素電極 P X と対向電極 C T を同一マスクで同時に形成することにより、実施例 4 で 2 回行っている工程 F が 1 回になり、生産性も向上する。

（実施例 5）

本実施例は下記の要件を除けば、実施例 1 および実施例 4 と同一である。F i g. 2 3 に画素の平面図を示す。図の斜線部分は透明導電膜 g_2 を

示す。

《対向電極C T》

本実施例では、中央の対向電極C Tだけを透明導電膜g 2で構成する。映像信号線に隣接した対向電極は対向電圧信号線と一体に金属膜で形成する。

本実施例では、実施例1から実施例4の効果に加え、映像信号線に隣接した対向電極を不透明にすることにより、映像信号に伴うクロストークを抑制することができる。その理由は作用の項で示したとおりである。

(実施例6)

上述した実施例2および3は、そのいずれにおいても対向電極C Tとともに対向電極信号線C Lが透明導電層g 2で構成されたものである。

この場合において、本実施例はF i g. 24 A～Cに示す構成によって該対向電極信号線C Lの抵抗値を大幅に低減させるようにしたものである。

F i g. 24 Aは、F i g. 20の対向電極信号線C Lの1部分を示す平面図であり、F i g. 24 Bは同図24 Aのb－b線における断面図である。

同図において、F i g. 20と異なる点は、対向電極信号線C Lは2層構造からなり、その下層として抵抗値が小さいA 1層10が形成され、このA 1層10の上面に該A 1層10を完全に被覆してI T O膜11が形成されている。そして、対向電極C Tは前記I T O膜11の一部を延在させた延在部で構成したものとなっている。

このようにした場合、対向電極信号線C Lの低抵抗化を図れるとともに、A 1層10に発生するいわゆるホイスカと称されるひげ状の突起によ

る層間絶縁膜を介した他の導電層と（たとえば映像信号線DL）の電氣的短絡を防止できるようになる。

すなわち、A1層10はその上層に映像信号線DLに対する層間絶縁膜を形成する際にホイスカが発生し上述した弊害をもたらすことが知られているが、このA1層10を完全に被覆するようにしてITO膜を形成することによって該ホイスカが発生しないことが確かめられている。

更に、Fig. 24Cは、対向電極CTを2重配線で構成したもので、本例では、A1層10の配線を被覆するようにしてITO膜11の配線を形成する。配線の中心線付近は、電極間に電圧を印加した場合でも低透過率であるため、本例のように、不透明な金属配線を配置しても、ほとんど開口率の減少は無い。

対向電極あるいは画素電極に2重配線を採用することで、大画面で問題となる電極の断線不良を大幅に低減できる。

（実施例7）

《アクティブ・マトリクス液晶表示装置》

以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

《マトリクス部（画素部）の平面構成》

Fig. 25は本発明のアクティブ・マトリクス方式カラー液晶表示装置の一面素とその周辺を示す平面図である。（図の斜線部分は透明導電膜i1を示す。）

Fig. 25に示すように、各画素は、走査信号線（ゲート信号線ま

たは水平信号線) G L と、対向電圧信号線 (対向電極配線) C L と、隣接する 2 本の映像信号線 (ドレイン信号線または垂直信号線) D L との交差領域内 (4 本の信号線で囲まれた領域内) に配置されている。各画素は薄膜トランジスタ T F T、蓄積容量 C s t g、画素電極 P X および対向電極 C T を含む。走査信号線 G L、対向電圧信号線 C L は図では左右方向に延在し、上下方向に複数本配置されている。映像信号線 D L は上下方向に延在し、左右方向に複数本配置されている。画素電極 P X は透明導電膜 i 1 で形成され、ソース電極 S D 1 を介して薄膜トランジスタ T F T と電氣的に接続され、対向電極 C T も透明導電膜 i 1 で形成され、対向電圧信号線 C L と電氣的に接続されている。

画素電極 P X と対向電極 C T は互いに対向し、各画素電極 P X と対向電極 C T との間の電界により液晶 L C の光学的な状態を制御し、表示を制御する。画素電極 P X と対向電極 C T は櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

1 画素内の対向電極 C T の本数 O (櫛歯の本数) は、画素電極 P X の本数 (櫛歯の本数) P と $O = P + 1$ の関係を必ず持つように構成する (本実施例では、 $O = 3$ 、 $P = 2$)。これは、対向電極 C T と画素電極 P X を交互に配置し、かつ、対向電極 C T を映像信号線 D L に必ず隣接させるためである。これにより、対向電極 C T と画素電極 P X の間の電界が、映像信号線 D L から発生する電界から影響を受けないように、対向電極 C T で映像信号線 D L からの電気力線をシールドすることができる。対向電極 C T は、後述の対向電圧信号線 C L により常に外部から電位を供給されているため、電位は安定している。そのため、映像信号線 D L に隣接しても、電位が変動がほとんどない。また、これにより、画素電極

P Xの映像信号線D Lからの幾何学的な位置が遠くなるので、画素電極P Xと映像信号線D Lの間の寄生容量が大幅に減少し、画素電極電位 V_s の映像信号電圧による変動も抑制できる。これらにより、上下方向に発生するクロストーク（縦スミアと呼ばれる画質不良）を抑制することができる。

画素電極P Xと対向電極C Tの電極幅はそれぞれ $6\ \mu\text{m}$ とする。これは、液晶層の厚み方向に対して、液晶層全体に十分な電界を印加するために、後述の液晶層の厚み $3.9\ \mu\text{m}$ よりも十分大きく設定し、かつ開口率を大きくするためにできるだけ細くする。また、映像信号線D Lの電極幅は断線を防止するために、画素電極P Xと対向電極C Tに比較して若干広く $8\ \mu\text{m}$ とする。ここで、映像信号線D Lの電極幅が、隣接する対向電極C Tの電極幅の2倍以下になるように設定する。または、映像信号線D Lの電極幅が歩留りの生産性から決まっている場合には、映像信号線D Lに隣接する対向電極C Tの電極幅を映像信号線D Lの電極幅の $1/2$ 以上にする。これは、映像信号線D Lから発生する電気力線をそれぞれ両脇の対向電極C Tで吸収するためであり、ある電極幅から発生する電気力線を吸収するには、それと同一幅以上の電極幅を持つ電極が必要である。したがって、映像信号線D Lの電極の半分（ $4\ \mu\text{m}$ ずつ）から発生する電気力線をそれぞれ両脇の対向電極C Tが吸収すればよい。ため、映像信号線D Lに隣接する対向電極C Tの電極幅が $1/2$ 以上とする。これにより、映像信号の影響により、クロストークが発生する、特に上下方向（縦方向のクロストーク）を防止する。

走査信号線G Lは末端側の画素（後述の走査電極端子G T Mの反対側）のゲート電極G Tに十分に走査電圧が印加するだけの抵抗値を満足

するように電極幅を設定する。また、対向電圧信号線CLも末端側の画素（後述の共通バスラインCB1およびCB2から最も遠い画素すなわちCB1とCB2の中間の画素）の対向電極CTに十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

一方、画素電極PXと対向電極CTの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路（信号側ドライバ）の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。後述の液晶材料を用いると電極間隔は、 $16\mu\text{m}$ となる。

《マトリクス部（画素部）の断面構成》

Fig. 26はFig. 25の6-6切断線における断面図、Fig. 27はFig. 25の7-7切断線における薄膜トランジスタTFTの断面図、Fig. 28はFig. 25の8-8切断線における蓄積容量Cstgの断面図である。

Fig. 26～Fig. 28に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstgおよび電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンBMが形成されている。

また、透明ガラス基板SUB1、SUB2のそれぞれの内側（液晶LC側）の表面には、液晶の初期配向を制御する配向膜ORI、ORI2が設けられており、透明ガラス基板SUB1、SUB2のそれぞれの外側の表面には、偏光軸が直交して配置された（クロスニコル配置）偏光

板が設けられている。

《T F T基板》

まず、下側透明ガラス基板S U B 1側（T F T基板）の構成を詳しく説明する。

《薄膜トランジスタT F T》

薄膜トランジスタT F Tは、ゲート電極G Tに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

薄膜トランジスタT F Tは、F i g . 2 7に示すように、ゲート電極G T、絶縁膜G I、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（S i）からなるi型半導体層A S、一対のソース電極S D 1、ドレイン電極S D 2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

《ゲート電極G T》

ゲート電極G Tは走査信号線G Lと連続して形成されており、走査信号線G Lの一部の領域がゲート電極G Tとなるように構成されている。ゲート電極G Tは薄膜トランジスタT F Tの能動領域を超える部分である。本例では、ゲート電極G Tは、単層の導電膜g 3で形成されている。導電膜g 3としては例えばスパッタで形成されたクロムーモリブデン合金（C r -M o）膜が用いられるがそれに限ったものではない。

《走査信号線G L》

走査信号線GLは導電膜g3で構成されている。この走査信号線GLの導電膜g3はゲート電極GTの導電膜g3と同一製造工程で形成され、かつ一体に構成されている。この走査信号線GLにより、外部回路からゲート電圧 V_g をゲート電極GTに供給する。本例では、導電膜g3としては例えばスパッタで形成されたクロムーモリブデン合金(Cr-Mo)膜が用いられる。また、走査信号線GLおよびはゲート電極GTは、クロムーモリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロムーモリブデンで包み込んだ2層構造としてもよい。さらに、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしても良い。

《対向電圧信号線CL》

対向電圧信号線CLは導電膜g3で構成されている。この対向電圧信号線CLの導電膜g3はゲート電極GT、走査信号線GLおよび対向電極CTの導電膜g3と同一製造工程で形成され、かつ対向電極CTと電気的に接続できるように構成されている。この対向電圧信号線CLにより、外部回路から対向電圧 V_{com} を対向電極CTに供給する。

また、対向電圧信号線CLは、クロムーモリブデン合金のみに限られたものではなく、たとえば、低抵抗化のためにアルミニウムまたはアルミニウム合金をクロムーモリブデンで包み込んだ2層構造としてもよい。

さらに、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミング

で切り離すことができるように二股にしても良い。

《絶縁膜G I》

絶縁膜G Iは、薄膜トランジスタT F Tにおいて、ゲート電極G Tと共に半導体層A Sに電界を与えるためのゲート絶縁膜として使用される。絶縁膜G Iはゲート電極G Tおよび走査信号線G Lの上層に形成されている。絶縁膜G Iとしては例えばプラズマC V Dで形成された窒化シリコン膜が選ばれ、2 5 0 0～4 5 0 0 Åの厚さに（本実施例では、3 5 0 0 Å程度）形成される。また、絶縁膜G Iは走査信号線G Lおよび対向電圧信号線C Lと映像信号線D Lの層間絶縁膜としても働き、それらの電氣的絶縁にも寄与している。また、絶縁膜G Iは後述の保護膜P S V 1と同一のホトマスクでパターニングされ、一括で加工される。

《i型半導体層A S》

i型半導体層A Sは、非晶質シリコンで、2 0 0～2 5 0 0 Åの厚さに（本実施例では、1 2 0 0 Å程度の膜厚）で形成される。

層d 0はオーミックコンタクト用のリン（P）をドーブしたN（+）型非晶質シリコン半導体層であり、下側にi型半導体層A Sが存在し、上側に導電層d 3が存在するところのみに残されている。

i型半導体層A Sおよび層d 0は、走査信号線G Lおよび対向電圧信号線C Lと映像信号線D Lとの交差部（クロスオーバ部）の両者間にも設けられている。この交差部のi型半導体層A Sは交差部における走査信号線G Lおよび対向電圧信号線C Lと映像信号線D Lとの短絡を低減する。

《ソース電極S D 1、ドレイン電極S D 2》

ソース電極S D 1、ドレイン電極S D 2のそれぞれは、N（+）型半導

体層 d 0 に接触する導電膜 d 3 から構成されている。

導電膜 d 3 はスパッタで形成したクロムーモリブデン合金 (C r -M o) 膜を用い、5 0 0 ~ 3 0 0 0 Å の厚さに (本実施例では、2 5 0 0 Å 程度) で形成される。C r -M o 膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与する。また、C r -M o 膜は N (+) 型半導体層 d 0 との接着性も良好である。導電膜 d 3 として、C r -M o 膜の他に高融点金属 (M o、T i、T a、W) 膜、高融点金属シリサイド (M o S i 2、T i S i 2、T a S i 2、W S i 2) 膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

導電膜 d 3 をマスクパターンでパターニングした後、導電膜 d 3 をマスクとして、N (+) 型半導体層 d 0 が除去される。つまり、i 型半導体層 A S 上に残っていた N (+) 型半導体層 d 0 は導電膜 d 1、導電膜 d 2 以外の部分がセルフアラインで除去される。このとき、N (+) 型半導体層 d 0 はその厚さ分は全て除去されるようエッチングされるので、i 型半導体層 A S も若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

《映像信号線 D L》

映像信号線 D L はソース電極 S D 1、ドレイン電極 S D 2 と同層の導電膜 d 3 で構成されている。また、映像信号線 D L はドレイン電極 S D 2 と一体に形成されている。本例では、導電膜 d 3 はスパッタで形成したクロムーモリブデン合金 (C r -M o) 膜を用い、5 0 0 ~ 3 0 0 0 Å の厚さに (本実施例では、2 5 0 0 Å 程度) で形成される。C r -M o 膜は低応力であるので、比較的膜厚を厚く形成することができ配線の低抵抗化に寄与する。また、C r -M o 膜は N (+) 型半導体層 d 0 との

接着性も良好である。導電膜 d 3 として、Cr-Mo 膜の他に高融点金属 (Mo、Ti、Ta、W) 膜、高融点金属シリサイド (MoSi₂、TiSi₂、TaSi₂、WSi₂) 膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

《蓄積容量 C_{stg}》

導電膜 d 3 は、薄膜トランジスタ TFT のソース電極 SD 2 部分において、対向電圧信号線 CL と重なるように形成されている。この重ね合わせは、Fig. 28 から明らかなように、ソース電極 SD 2 (d 3) を一方の電極とし、対向電圧信号 CL を他方の電極とする蓄積容量 (静電容量素子) C_{stg} を構成する。この蓄積容量 C_{stg} の誘電体膜は、薄膜トランジスタ TFT のゲート絶縁膜として使用される絶縁膜 GI で構成されている。

Fig. 25 に示すように平面的には蓄積容量 C_{stg} は対向電圧信号線 CL の一部分に形成されている。

《保護膜 PSV 1》

薄膜トランジスタ TFT 上には保護膜 PSV 1 が設けられている。保護膜 PSV 1 は主に薄膜トランジスタ TFT を湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜 PSV 1 はたとえばプラズマ CVD 装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、0.3 ~ 1 μm 程度の膜厚で形成する。

保護膜 PSV 1 は、外部接続端子 DTM、GTM を露出するよう除去されている。保護膜 PSV 1 と絶縁膜 GI の厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス

g mを薄くされる。また、保護膜P S V 1は絶縁膜G Iと同一ホトマスクでパターンニングし、一括で加工する。また、画素部では、対向電圧信号線C Lと後述の対向電極C Tとの電氣的接続、および、ソース電極S D 2と画素電極P Xとの電氣的接続のために、スルーホールT H 2およびT H 1を設けている。スルーホールT H 2では、保護膜P S V 1と絶縁膜G Iが一括で加工されるのでg 3層までの孔があき、スルーホールT H 1ではd 3でブロッキングされるのでd 3層までの孔があく。

《画素電極P X》

画素電極P Xは、透明導電層i 1で形成されている。この透明導電膜i 1はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide I T O：ネサ膜）からなり、1 0 0～2 0 0 0 Åの厚さに（本実施例では、1 4 0 0 Å程度の膜厚）形成される。また、画素電極P XはスルーホールT H 1を介して、ソース電極S D 2に接続されている。

画素電極が本実施例のように透明になることにより、その部分の透過光により、白表示を行う時の最大透過率が向上するため、画素電極が不透明な場合よりも、より明るい表示を行うことができる。この時、後述するように、電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）にしているので、画素電極を透明にしても、その部分の光を透過することがなく、良質な黒を表示することができる。これにより、最大透過率が向上させ、かつ十分なコントラスト比を達成することができる。

《対向電極C T》

対向電極C Tは透明導電層i 1で形成されている。この透明導電膜i

1はスパッタリングで形成された透明導電膜 (Indium-Tin-Oxide ITO:ネサ膜) からなり、 $100\sim2000\text{ \AA}$ の厚さに (本実施例では、 1400 \AA 程度の膜厚) 形成される。また、対向電極CTはスルーホールTH2を介して、対向電圧信号線CLに接続されている。

対向電極CTには対向電圧 V_{com} が印加されるように構成されている。本実施例では、対向電圧 V_{com} は映像信号線DLに印加される最小レベルの駆動電圧 V_{dmin} と最大レベルの駆動電圧 V_{dmax} との中間直流電位から、薄膜トランジスタ素子TFEをオフ状態にするときに発生するフィードスルー電圧 ΔV_s 分だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。

《カラーフィルタ基板》

次に、Fig. 25、Fig. 26に戻り、上側透明ガラス基板SUB2側 (カラーフィルタ基板) の構成を詳しく説明する。

《遮光膜BM》

上部透明ガラス基板SUB2側には、不要な間隙部 (画素電極PXと対向電極CTの間以外の隙間) からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜BM (いわゆるブラックマトリクス) を形成している。遮光膜BMは、外部光またはバックライト光がi型半導体層ASに入射しないようにする役割も果たしている。すなわち、薄膜トランジスタTFEのi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

Fig. 25に示す遮光膜BMは、薄膜トランジスタ素子TFE上部

に左右方向に線状に延在した構成である。このパターンは、1例であり、開口部を孔状にあけたマトリクス状の様にすることもできる。櫛歯電極端部等の電界方向が乱れる部分においては、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することが可能である。また、図の上下方向における対向電極C Tと映像信号線D Lとの間隙部は、ゲート電極G Tと同一工程で形成した遮光層S Hで遮光する。これにより左右方向の上下方向の遮光は、T F T工程のアライメント精度で高精度に遮光できるので、映像信号線D Lに隣接する対向電極C Tの電極間に遮光層S Hの境界を設定でき、上下基板のあわせ精度に依存する遮光膜B Mによる遮光よりも、より開口部を拡大することができる。

遮光膜B Mは光に対する遮蔽性を有し、かつ、画素電極P Xと対向電極C Tの間の電界に影響を与えないように絶縁性の高い膜で形成されており、本実施例では黒色の顔料をレジスト材に混入し、 $1.2\ \mu\text{m}$ 程度の厚さで形成している。

遮光膜B Mは各行の画素に左右方向に線状に形成され、この線で各行の有効表示領域が仕切られている。従って、各行の画素の輪郭が遮光膜B Mによってはっきりとする。つまり、遮光膜B Mは、ブラックマトリクスとi型半導体層A Sに対する遮光との2つの機能をもつ。

遮光膜B Mは周辺部にも額縁状に形成され、そのパターンはF i g. 2 5に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜B Mは、シール部S Lの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いぐと共に、バックライト等の光が表示エリア外に漏れるのも防いでいる。他

方、この遮光膜BMは基板SUB2の縁よりも約0.3～1.0mm程内側に留められ、基板SUB2の切断領域を避けて形成されている。

《カラーフィルタFIL》

実施例1と同じ。

《オーバーコート膜OC》

実施例1と同じ。

《液晶層、配向膜および偏向板》

実施例1と同じ。

《マトリクス周辺の構成》

実施例1と同じ。

《ゲート端子部》

Fig. 29Aは表示マトリクスの走査信号線GLからその外部接続端子GTMまでの接続構造を示す平面図であり、Fig. Bは、Fig. 29AのB-B切断線における断面図を示している。なお、同図は、Fig. 5右中央付近に対応し、斜め配線の部分は便宜状一直線状で示した。

図中Cr-Mo層g3は、分かり易くするためハッチを施してある。

ゲート端子GTMは、Cr-Mo層g3と、更にその表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電層i1とで構成されている。この透明導電層i1は画素電極PXと同一工程で形成された透明導電膜ITOを用いている。

平面図において、絶縁膜GIおよび保護膜PSV1はその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露

出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが示されているが、実際はこのような対がF i g. 29 Aに示すように上下に複数本並べられ端子群T_g (F i g. 5) が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線SH_g (図示せず) によって短絡される。製造過程における配向膜ORI 1のラビング時等の静電破壊防止に役立つ。

《ドレイン端子DTM》

F i g. 30 Aは映像信号線DLからその外部接続端子DTMまでの接続を示す平面図を示し、F i g. 30 Bは、F i g. 30 AのB-B切断線における断面を示す。なお、同図はF i g. 5右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB 1の上端部に該当する。

TST dは検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子DTMも外部回路との接続ができるよう配線部より幅が広げられている。外部接続ドレイン端子DTMは上下方向にに配列され、ドレイン端子DTMは、F i g. 5に示すように端子群T_d (添字省略) を構成し基板SUB 1の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線SH_d (図示せず) によって短絡される。検査端子TST dはF i g. 8に示すように一本置き映像信号線DLに形成される。

ドレイン接続端子DTMは透明導電層i 1で形成されており、保護膜PSV 1を除去した部分で映像信号線DLと接続されている。この透明

導電膜 i_1 はゲート端子 G_{TM} の時と同様に画素電極 P_X と同一工程で形成された透明導電膜 I_{TO} を用いている。

マトリクス部からドレイン端子部 D_{TM} までの引出配線は、映像信号線 D_L と同じレベルの層 d_3 が構成されている。

《対向電極端子 C_{TM} 》

$Fig. 31 A$ は対向電圧信号線 C_L からその外部接続端子 C_{TM} までの接続を示す平面図を示し、 $Fig. 31 B$ は、 $Fig. 31 A$ の $B-B$ 切断線における断面図を示す。なお、同図は $Fig. 5$ 左上付近に対応する。

各対向電圧信号線 C_L は、共通バスライン $C_B 1$ で一纏めして対向電極端子 C_{TM} に引き出されている。共通バスライン C_B は導電層 g_3 の上に導電層 3 を積層し、透明導電層 i_1 でそれらを電氣的に接続した構造となっている。これは、共通バスライン C_B の抵抗を低減し、対向電圧が外部回路から各対向電圧信号線 C_L に十分に供給されるようにするためである。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。

対向電極端子 C_{TM} は、導電層 g_3 の上に透明導電層 i_1 が積層された構造になっている。この透明導電膜 i_1 は他の端子の時と同様に画素電極 P_X と同一工程で形成された透明導電膜 I_{TO} を用いている。透明導電層 i_1 により、その表面を保護し、電食等を防ぐために耐久性のよい透明導電層 i_1 で、導電層 g_3 を覆っている。また透明導電層 i_1 と導電層 g_3 および導電層 d_3 との接続は保護膜 $P_{SV} 1$ および絶縁膜 G_I にスルーホールを形成し導通を取っている。

一方、 $Fig. 32 A$ は対向電圧信号線 C_L のもう一方の端からその

外部接続端子C T M 2までの接続を示す平面図を示し、F i g. 3 2 Bは、F i g. 3 2 AのB－B切断線における断面図を示す。なお、同図はF i g. 5 右上付近に対応する。ここで、共通バスラインC B 2では各対向電圧信号線C Lのもう一方の端（ゲート端子G T M側）をで一纏めして対向電極端子C T M 2に引き出されている。共通バスラインC B 1と異なる点は、走査信号線G Lとは絶縁されるように、導電層d 3と透明導電層i 1で形成していることである。また、走査信号線G Lとの絶縁は絶縁膜G Iで行っている。

《表示装置全体等価回路》

表示マトリクス部の等価回路とその周辺回路の結線図をF i g. 3 3に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。A Rは複数の画素を二次元状に配列したマトリクス・アレイである。

図中、Xは映像信号線D Lを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線G Lを意味し、添字1、2、3、…、e n dは走査タイミングの順序に従って付加されている。

走査信号線Y（添字省略）は垂直走査回路Vに接続されており、映像信号線X（添字省略）は映像信号駆動回路Hに接続されている。

S U Pは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのC R T（陰極線管）用の情報をT F T液晶表示装置用の情報に交換する回路を含む回路である。

《駆動方法》

F i g. 3 4に本実施例の液晶表示装置の駆動波形を示す。対向電圧 V_c は一定電圧とする。走査信号 V_g は1走査期間ごとに、オンレベルをとり、その他はオフレベルをとる。映像信号電圧は、液晶層に印加したい電圧の2倍の振幅で正極と負極を1フレーム毎に反転して1つの画素に伝えるように印加する。ここで、映像信号電圧 V_d は1列毎に極性を反転し、1行毎にも極性を反転する。これにより、極性が反転した画素が上下左右にとなりあう構成となり、フリッカ、クロストーク（スミア）を発生しにくくすることができる。また、対向電圧 V_c は映像信号電圧の極性反転のセンター電圧から、一定量下げた電圧に設定する。これは、薄膜トランジスタ素子がオンからオフに変わるときに発生するフィードスルー電圧を補正するものであり、液晶に直流成分の少ない交流電圧を印加するために行う。これは、液晶は直流が印加されると、残像、劣化等が激しくなるためである。

また、この他に、対向電圧は交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路（信号側ドライバ）に耐圧の低いものを用いることも可能である。

《蓄積容量 C_{stg} の働き》

実施例1と同じ。

《製造方法》

つぎに、上述した液晶表示装置の基板SUB1側の製造方法についてF i g. 3 5～F i g. 3 7を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側はF i g. 2 7に示す薄膜トランジスタTF T部分、右側はF i g. 2 9に示すゲート端子付近の断面形状でみた加工の流れを示す。工程B、工程Dを除き工程A～工程Iは

各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトレジストを除去した段階を示している。なお、写真処理とは本説明ではフォトレジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って、説明する。

工程A、F i g . 3 5

AN 6 3 5 ガラス（商品名）からなる下部透明ガラス基板SUB 1 上に膜厚が2 0 0 0 ÅのCr—Mo等からなる導電膜g 3をスパッタリングにより設ける。写真処理後、硝酸第2セリウムアンモンで導電膜g 3を選択的にエッチングする。それによって、ゲート電極GT、走査信号線GL、対向電圧信号線CL、ゲート端子G TM、共通バスラインCB 1の第1導電層、対向電極端子CTM 1の第1導電層、ゲート端子G TMを接続するバスラインSH g（図示せず）を形成する。

工程B、F i g . 3 5

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が3 5 0 0 Åの窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が1 2 0 0 Åのi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が3 0 0 ÅのN(+)型非晶質Si膜を設ける。

工程C、F i g . 3 5

写真処理後、ドライエッチングガスとしてSF₆、CCl₄を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

工程D、F i g . 3 6

膜厚が 300 \AA の Cr からなる導電膜 d_3 をスパッタリングにより設ける。写真処理後、導電膜 d_3 を工程Aと同様な液でエッチングし、映像信号線 DL 、ソース電極 SD_1 、ドレイン電極 SD_2 、共通バスライン CB_2 の第1導電層、およびドレイン端子 DTM を短絡するバスライン SH_d （図示せず）を形成する。つぎに、ドライエッチング装置に CCl_4 、 SF_6 を導入して、 $\text{N}(+)$ 型非晶質 Si 膜をエッチングすることにより、ソースとドレイン間の $\text{N}(+)$ 型半導体層 d_0 を選択的に除去する。

工程E、Fig. 36

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が $0.4\text{ }\mu\text{m}$ の窒化 Si 膜を設ける。写真処理後、ドライエッチングガスとして SF_6 を使用して窒化 Si 膜を選択的にエッチングすることによって、保護膜 PSV_1 および絶縁膜 GI をパターンニングする。

工程F、Fig. 37

膜厚が 1400 \AA の ITO 膜からなる透明導電膜 i_1 をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜 i_1 を選択的にエッチングすることにより、ゲート端子 GTM の最上層、ドレイン端子 DTM および対向電極端子 CTM_1 および CTM_2 の第2導電層を形成する。

《表示パネル PNL と駆動回路基板 PCB_1 》

実施例1と同じ。

《TCPの接続構造》

実施例1と同じ。

《駆動回路基板 P C B 2》

実施例 1 と同じ。

《液晶表示モジュールの全体構成》

実施例 1 と同じ。

以上、本実施例では、実施例 3 同様に櫛歯電極を透明にすることにより、白表示を行うときの最大透過率が約 50% 向上する。また、端子の信頼性を向上するための I T O 膜も同時に形成することができ、信頼性と生産性を両立することができる。また、本実施例では、実施例 1 ～ 6 まで異なり、I T O を最上層に形成するプロセスを用いているので、対向電極を最上層に持ってくることができ、映像信号線からの漏洩電界のシールド効率も良好であり、クロストークを低減できる。また、プロセスを簡略化することができ、生産性も向上する。

(実施例 8)

本実施例は下記の要件を除けば、実施例 7 と同一である。F i g. 3 8 に画素の平面図を示す。図の斜線部分は透明導電膜 i 1 を示す。

《画素電極 P X》

本実施例では、画素電極 P X はソース電極 S D 1、ドレイン電極 S D 2 と同層の導電膜 d 3 で構成されている。また、画素電極 P X はソース電極 S D 1 と一体に形成されている。

本実施例では、実施例 1 の効果に加え、透過率は犠牲になるが、画素電極 P X とソース電極 S D 1 とのコンタクト不良が回避できる。また、電極の一方が絶縁膜（保護膜 P S V 1）で覆われているため、配向膜欠陥があった場合に液晶を直流電流が流れる可能性減り、液晶劣化等がなくなり、信頼性が向上する。

保護膜に電極が露出しないため、液晶を傷つけない。また、配向膜を低減できる。本方式のようには、平行な電極を併用して液晶を駆動する方式では、電極間の電圧降下、経路にこの保護膜が入るため、保護膜を介した構造になる。これは、不都合な点があり、配向膜を低減することはできない。本実施例では、配向膜を、 $2.5V \sim 5V$ 、 $5.0V$ に低減することができ、これにより、

(実施例 9)

本実施例は下記の要件を除けば、実施例 7 と同一である。F i g. 3 9 に画素の平面図を示す。図の斜線部分は透明導電膜 i 1 を示す。

《対向電極 C T》

本実施例では、対向電極 C T を導電膜 g 3 で対向電圧信号線 C L と一体に構成する。

本実施例では、実施例 1 の効果に加え、透過率は犠牲になるが、対向電極 C T と対向電圧信号線 C L とのコンタクト不良が回避できる。また、電極の一方が絶縁膜（保護膜 P S V 1）で覆われているため、配向膜欠陥があった場合に液晶を直流電流が流れる可能性減り、液晶劣化等がなくなり、信頼性が向上する。

(実施例 1 0)

本実施例は下記の要件を除けば、実施例 7 と同一である。F i g. 4 0 に画素の平面図を示す。図の斜線部分は透明導電膜 i 1 を示す。

《遮光膜 B M》

上部透明ガラス基板 S U B 2 側には、不要な間隙部（画素電極 P X と対向電極 C T の間以外の隙間）からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜 B M（いわゆるブラックマトリクス）を形成している。遮光膜 B M は、外部光またはバックライト光が i 型半導体層 A S に入射しないようにする役割も果たしている。すなわち、薄膜トランジスタ T F T の i 型半導体層 A S は上下にある遮光膜 B M および大き目のゲート電極 G T によってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

F i g. 4 0 に示す遮光膜 B M は、薄膜トランジスタ素子 T F T 上部

に上下左右方向に延在した構成であり、開口部に孔をあけたマトリクス状の形状を有する。櫛歯電極端部等の電界方向が乱れる部分においては、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することが可能である。

また、本実施例では、実施例7と異なり、遮光膜BMは光に対する遮蔽性を有し、かつ、映像信号線DLのからの電界が画素電極PXと対向電極CTの間の電界に影響しないように導電性の高い膜で形成されており、本実施例では対向基板SUB1面からクロム酸化物(CrO_x)、クロム窒化物(CrN_x)、クロム(Cr)の3層構造を $0.2\mu\text{m}$ 程度の厚さで形成している。このときクロム酸化物(CrO_x)は、表示面の反射を抑えるために用いている。また、クロム(Cr)は遮光膜BMに外部から電圧を与えられるよう遮光層BMの最上層に設ける。

遮光膜BMは各行の画素に左右方向に線状に形成され、この線で各行の有効表示領域が仕切られている。従って、各行の画素の輪郭が遮光膜BMによってはっきりとする。つまり、遮光膜BMは、ブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

遮光膜BMは周辺部にも額縁状に形成され、そのパターンはFig. 25に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いぐと共に、バックライト等の光が表示エリア外に漏れるのも防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約 $0.3\sim 1.0\text{mm}$ 程内側に留められ、基板SUB2の切断領域を避けて形成されている。

《オーバーコート膜OC》

実施例1と同じ。ただし、遮光膜BMに電位を与えられるようにスルーホールを形成してもよい。電位としては、対向電圧 V_c に接続することが好ましい。

本実施例では、実施例7の効果に加え、遮光膜BMが映像信号線DLからの電界の影響をシールドするため、それにより画素電極PXと対向電極CTとの電界が影響されることがなくなる。したがって、映像信号線DLとのクロストークがなくなり、画面に筋を引くような画質不良（スミア）を解消できる。また、映像信号線DLの両脇に配置される透明な対向電極CTを遮光層SHで遮光する領域も小さくでき、より高透過率を達成することができる。

（実施例11）

Fig. 43は、本実施例のアクティブ・マトリックス型カラー液晶表示装置の開口率向上の原理を示す図で、Fig. 43Aは、電極に電圧を印加した時の液晶層内の電位分布を示す特性図、Fig. 43Bは、液晶層の中央部付近の液晶分子の再配向状態を示す平面図、Fig. 43Cは、Fig. 43Bに示す液晶分子の回転角 α を示す特性図、Fig. 43Dは、上下偏光板、上下基板、電極上および電極間の液晶層を透過する光の透過率分布を示す特性図の一例である。

ここで、下記の要件を除けば、実施例7と同一である。

本実施例では、液晶層のツイスト弾性定数 K_2 として約 2×10^{-12} N（ニュートン）を使用した。

ツイスト弾性定数 K_2 として、例えば、約 10×10^{-12} N（ニュートン）の比較的大きな値を使用すると、Fig. 41Bに示すように、

電極上中央部の液晶分子は、ほとんど回転角 α が零であり、この結果、電極上中央部の透過率は、ほぼ暗表示の値となる。

一方、本実施例では、電極上中央部の液晶分子までも回転し、電極間のA部分の透過率の平均透過率の50%以上が、電極上でのB部分の透過率の平均値透過率となることが分かった。

したがって、全体部分の平均透過率は、A+B部分の透過率の平均値透過率となり、大幅に引き上げられる。

〔産業上の利用可能性〕

本発明は、上述したように液晶等に適用され、液晶製造産業において実用可能性がある。

請 求 の 範 囲

1. 画素電極と対向電極を有し、前記画素電極と前記対向電極の間の基板面に略平行な電界成分により、ツイスト可能な液晶層の液晶分子を制御し、表示をおこなうアクティブマトリクス型液晶表示装置において、少なくとも画素電極あるいは対向電極の一方が透明電極であり、前記電界成分を増加するにつれ、前記表示装置の光透過率が増加するように、前記ツイスト可能な液晶の初期配向状態、偏光板の偏光軸が構成され、電界無印加時の前記ツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、ツイスト弾性定数が $10 \times 10^{-12} \text{ N}$ (ニュートン) 以下であることを特徴とするアクティブマトリクス型液晶表示装置。
2. 画素電極と対向電極を有し、前記画素電極と前記対向電極の間の基板面に略平行な電界成分により、ツイスト可能な液晶層の液晶分子を制御し、表示をおこなうアクティブマトリクス型液晶表示装置において、少なくとも画素電極あるいは対向電極の一方が透明電極であり、前記電界成分を増加するにつれ、前記表示装置の光透過率が増加するように、前記ツイスト可能な液晶の初期配向状態、偏光板の偏光軸が構成され、電界無印加時の前記ツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、液晶層の上下界面の液晶分子の初期プレチルト角が 10 度以下で、液晶層内の液晶分子の初期チルト状態がスプレイ状態であることを特徴とするアクティブマトリクス型液晶表示装置。
3. 画素電極と対向電極を有し、前記画素電極と前記対向電極の間の基板面に略平行な電界成分により、ツイスト可能な液晶層の

液晶分子を制御し、表示をおこなうアクティブマトリクス型液晶表示装置において、少なくとも画素電極あるいは対向電極の一方が透明電極であり、前記電界成分を増加するにつれ、前記表示装置の光透過率が増加するように、前記ツイスト可能な液晶の初期配向状態、偏光板の偏光軸が構成され、電界無印加時の前記ツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、透明電極上の液晶層の液晶分子の平均のチルト角が、電界印加時でも45度未満であることを特徴とするアクティブマトリクス型液晶表示装置。

クレーム
追加
(3')
(3'')

4. 前記液晶のツイスト弾性定数が $5 \cdot 1 \times 10^{-12} \text{N}$ (ニュートン) 以下であることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。
5. 前記液晶のツイスト弾性定数が $2 \times 10^{-12} \text{N}$ (ニュートン) 以下であることを特徴とする請求項1に記載のアクティブマトリクス型液晶表示装置。
6. 前記ツイスト可能な液晶層の上下界面の液晶分子の初期プレチルト角が~~8~~度以下であることを特徴とする請求項2に記載のアクティブマトリクス型液晶表示装置。
7. 前記ツイスト可能な液晶層の透明電極上の液晶分子の平均のチルト角が、電界印加時でも30度以下であることを特徴とする請求項3に記載のアクティブマトリクス型液晶表示装置。
8. 前記ツイスト可能な液晶層の透明電極上の液晶分子の平均のチルト角が、電界印加時でも~~8~~¹⁰度以下であることを特徴とする請求項3に記載のアクティブマトリクス型液晶表示装置。

9. 画素電極あるいは対向電極が透明電極と不透明金属電極との2重構造であることを特徴とする請求項1から~~3~~³のいずれかに記載のアクティブマトリクス型液晶表示装置。
10. 前記アクティブマトリクス型液晶表示装置が、更に、対向電極間を電氣的に接続する対向電圧信号線を有し、隣接する2本の対向~~電圧信号線~~^{電極}が、対向~~電極~~^{電圧信号線}によってスルーホールを介して接続されることを特徴とする請求項1から~~3~~³のいずれかに記載のアクティブマトリクス型液晶表示装置。
11. 対向電極が透明電極からなり、更に、遮光パターンを対向電極と映像信号線間に有することを特徴とする請求項1から~~3~~³のいずれかに記載のアクティブマトリクス型液晶表示装置。
12. 前記アクティブマトリクス型液晶表示装置が、更に、対向電極間を電氣的に接続する対向電圧信号線を有し、前記対向電圧信号線は、金属で形成されていることを特徴とする請求項1から請求項~~3~~³のいずれかに記載のアクティブマトリクス型液晶表示装置。
13. 前記対向電圧信号線は、金属で形成されていることを特徴とする請求項10に記載のアクティブマトリクス型液晶表示装置。
14. 前記アクティブマトリクス型液晶表示装置が、更に、映像信号線を有し、1画素内に映像信号線に隣接する2本の対向電極を含む3本以上の対向電極を有し、前記映像信号線に隣接する対向電極は不透明であることを特徴とする請求項1から請求項~~3~~³のいずれかに記載のアクティブマトリクス型液晶表示装置。
15. 透明電極の透明導電膜は、インジウムチンオキサイド（I

TO)であることを特徴とする請求項1から請求項³のいずれかに記載のアクティブマトリクス型液晶表示装置。~~おなじ~~

16. 対向電圧信号線は、Cr、Ta、Ti、Mo、W、Alまたはそれらの合金、もしくは、それらを積層したクラッド構造で形成されていることを特徴とする請求項12あるいは請求項13に記載のアクティブマトリクス型液晶表示装置。

17. 対向電圧信号線は、Cr、Ta、Ti、Mo、W、Alまたはそれらの合金の上にインジウムチンオキサイド(ITO)等の透明導電膜を積層したクラッド構造で形成されていることを特徴とする請求項12あるいは請求項13に記載のアクティブマトリクス型液晶表示装置。

18. 電界無印加時において、前記液晶層の初期ツイット角がほぼ零で、初期配向角は、液晶材料の誘電率異方性 $\Delta\epsilon$ が正であれば、 45° 以上 90° 未満、誘電率異方性 $\Delta\epsilon$ が負であれば、 0° を超え 45° 以下でな~~あ~~ることを特徴とする請求項1から請求項³のいずれかに記載のアクティブマトリクス型液晶表示装置。

19. 画素電極と対向電極を有し、前記画素電極と前記対向電極の間の基板面に略平行な電界成分により液晶層の液晶分子を制御し表示をおこなうアクティブマトリクス型液晶表示装置の製造方法において、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層のいずれかまたは全てと、画素電極とを透明な導電層で形成し、更に、同一工程で形成することを特徴とするアクティブマトリクス型液晶表示装置の製造方

対向電極の少いところ
または両方

法。

20. 画素電極と対向電極を有し、前記画素電極と前記対向電極の間の基板面に略平行な電界成分により液晶層の液晶分子を制御し表示をおこなうアクティブマトリクス型液晶表示装置の製造方法において、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層のいずれかまたは全てと、透明な対向電極とを透明な導電層で形成し、更に、同一工程で形成することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

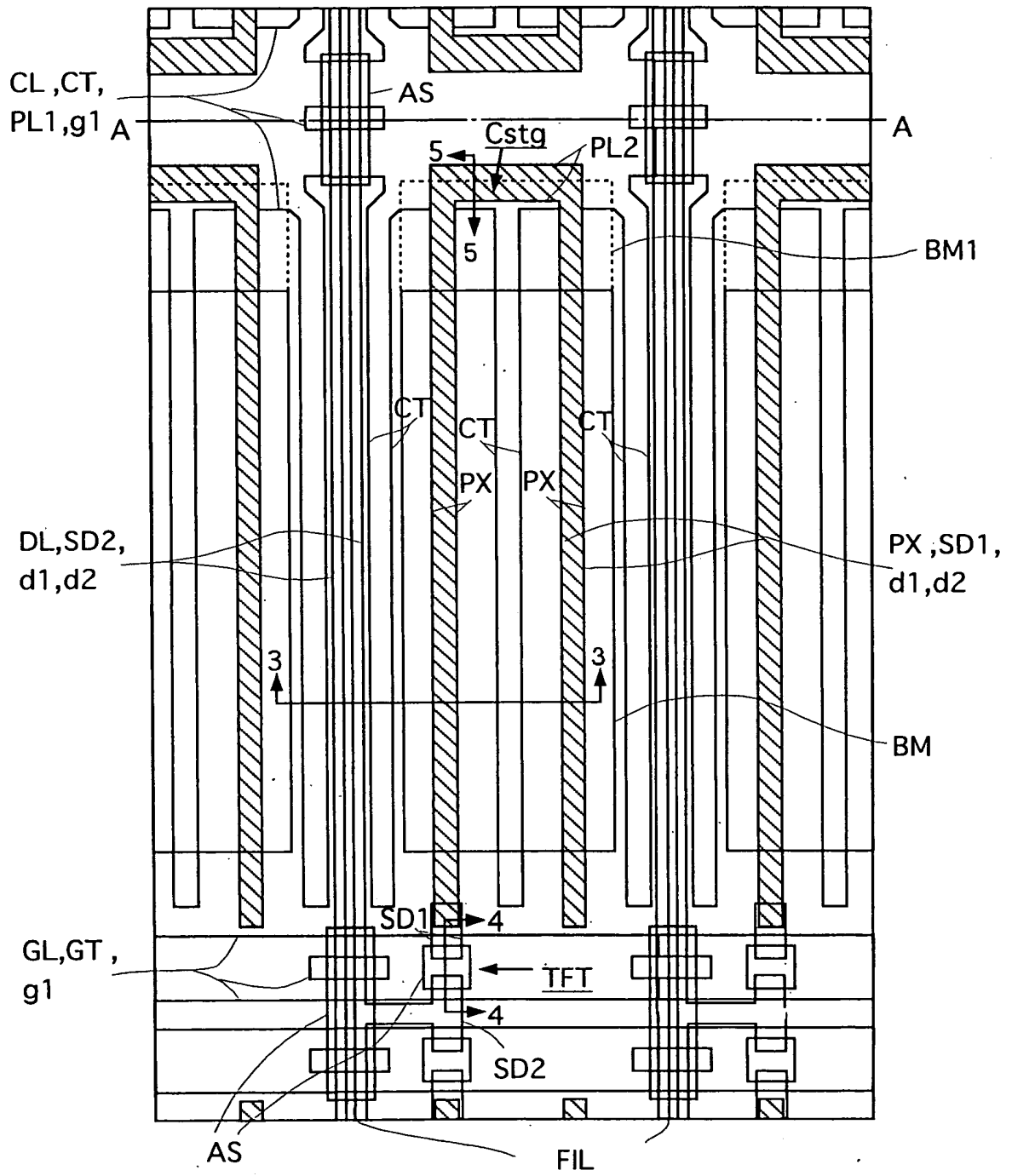
21. 画素電極と対向電極を有し、前記画素電極と前記対向電極の間の基板面に略平行な電界成分により液晶層の液晶分子を制御し表示をおこなうアクティブマトリクス型液晶表示装置の製造方法において、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層のいずれかまたは全てと、画素電極と、対向電極とを透明な導電層で形成し、更に、同一工程で形成することを特徴とするアクティブマトリクス型液晶表示装置の製造方法。

要 約 書

ブラウン管並の視野角を実現できる、基板面に略平行な電界で表示を制御するアクティブマトリクス型液晶表示装置において、明るく、かつ、低消費電力のアクティブマトリクス型液晶表示装置を提供する。

基板面に略平行な電界を印加でき得る画素電極と対向電極を構成し、かつ、画素電極あるいは対向電極を透明電極で構成し、かつ、電界無印加時に暗表示をするように、液晶の配向状態、偏光板の偏光軸が構成する。広視野角特性を有し、コントラスト比、開口率に優れ、最大透過率が向上する横電界方式のアクティブマトリクス型液晶表示装置が提供できる。

FIG. 1



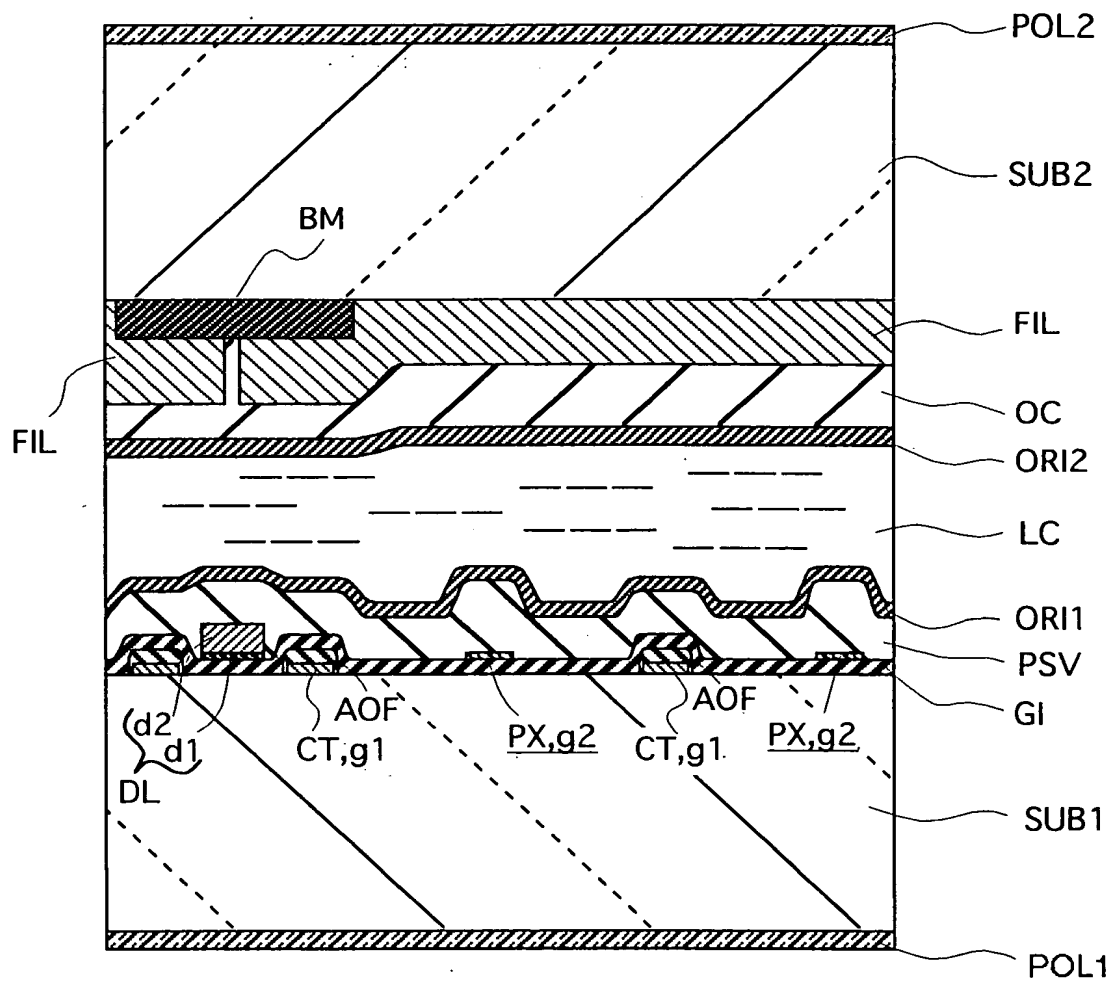


FIG.3

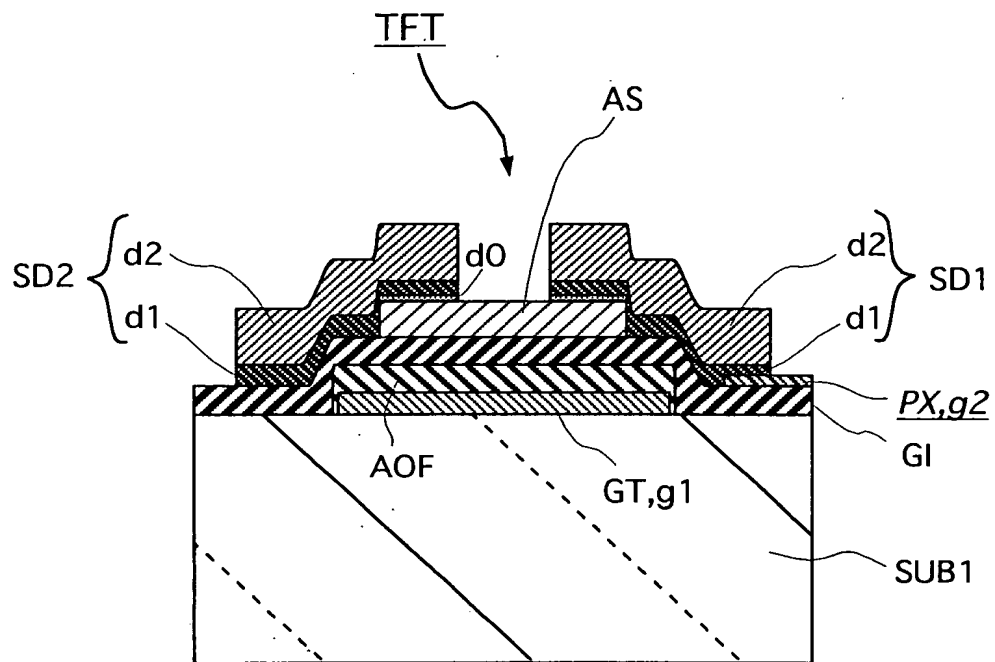


FIG.4

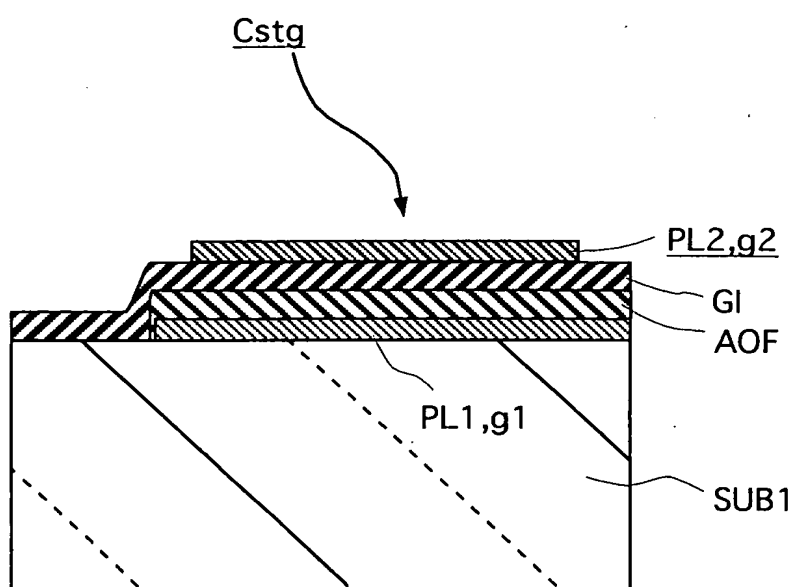


FIG. 5

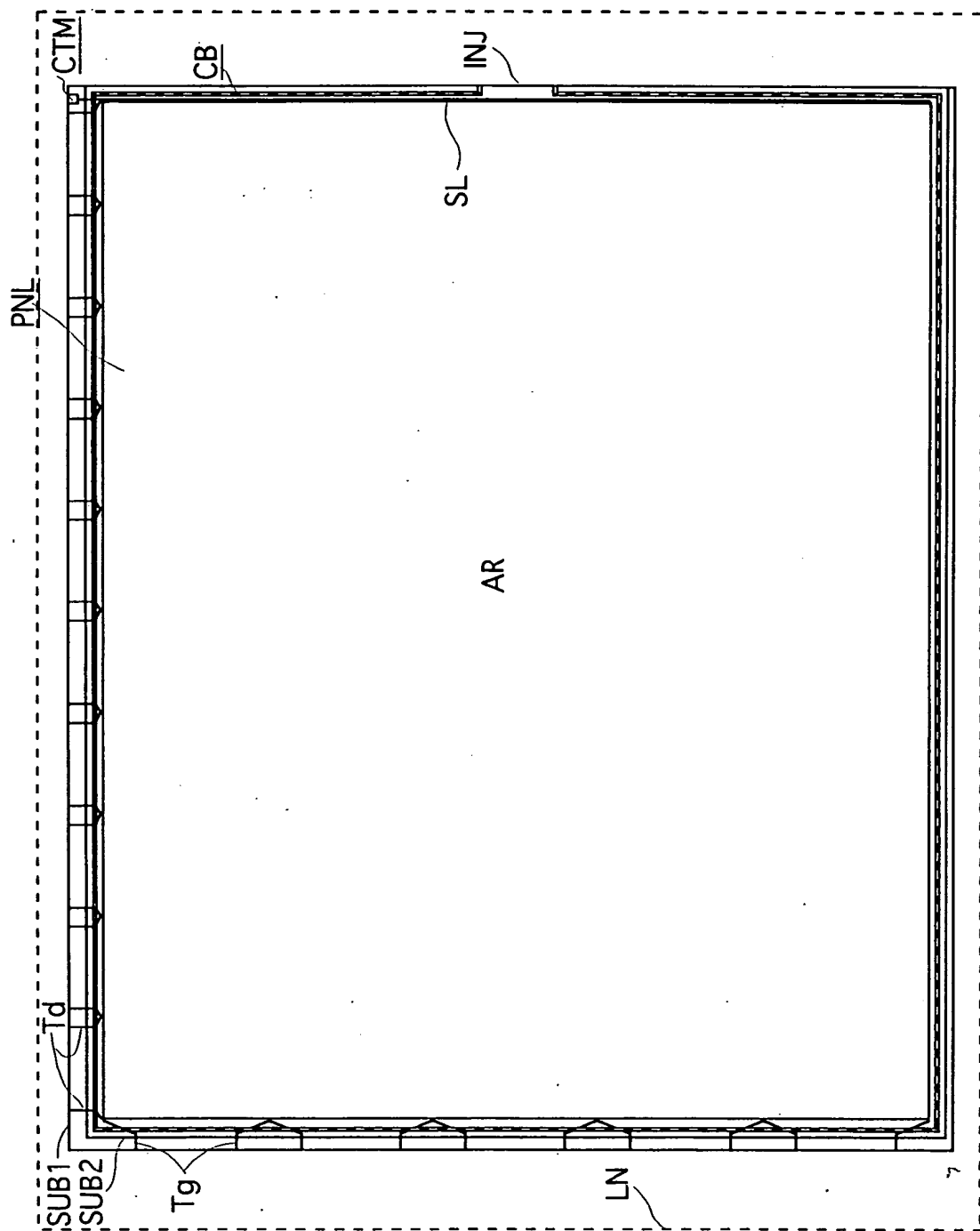
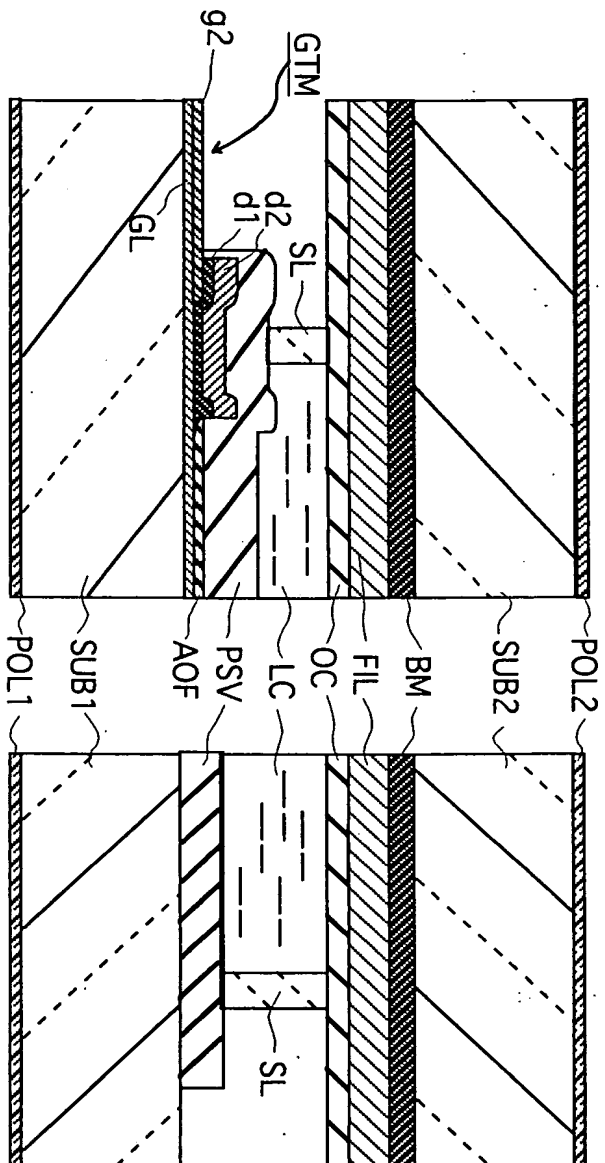


FIG.6



7/47

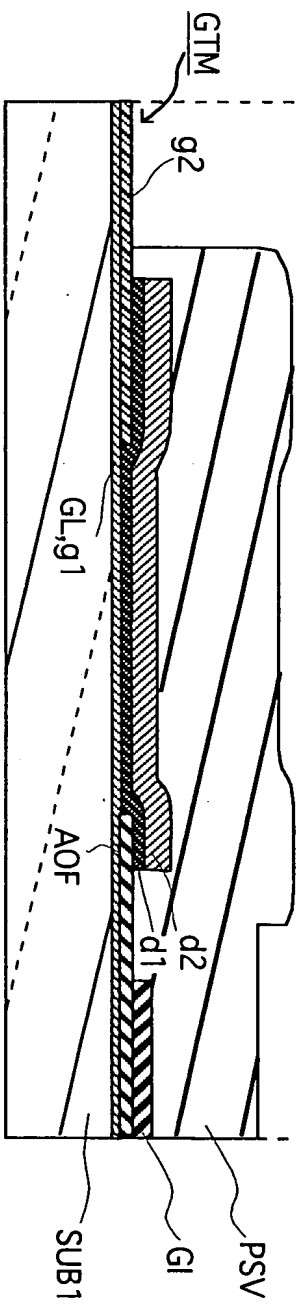


FIG. 8A

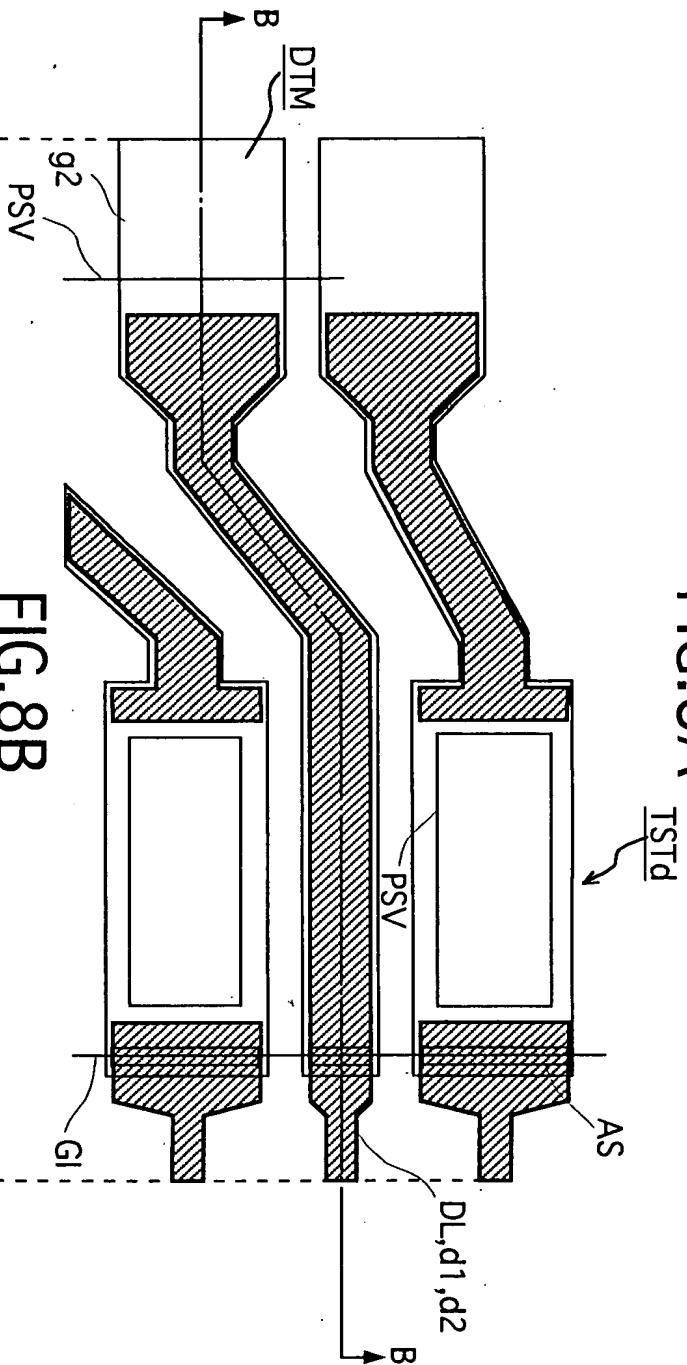
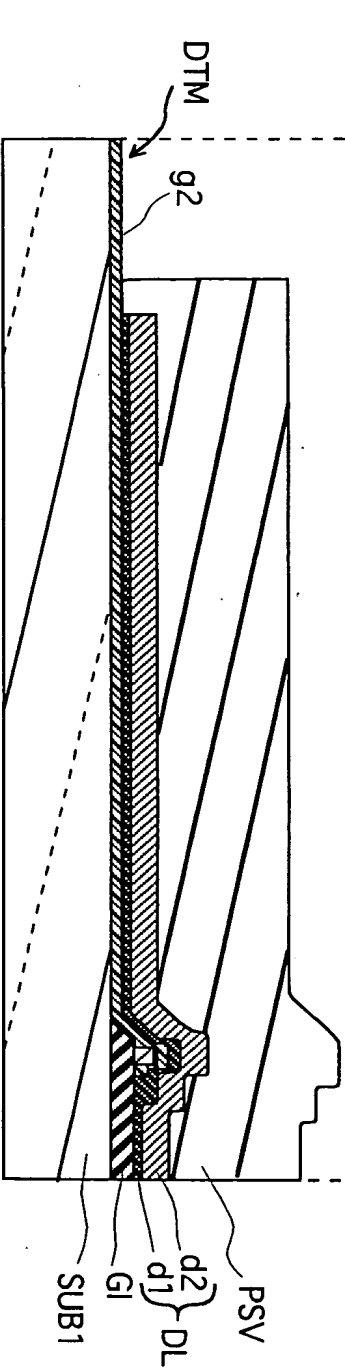


FIG. 8B



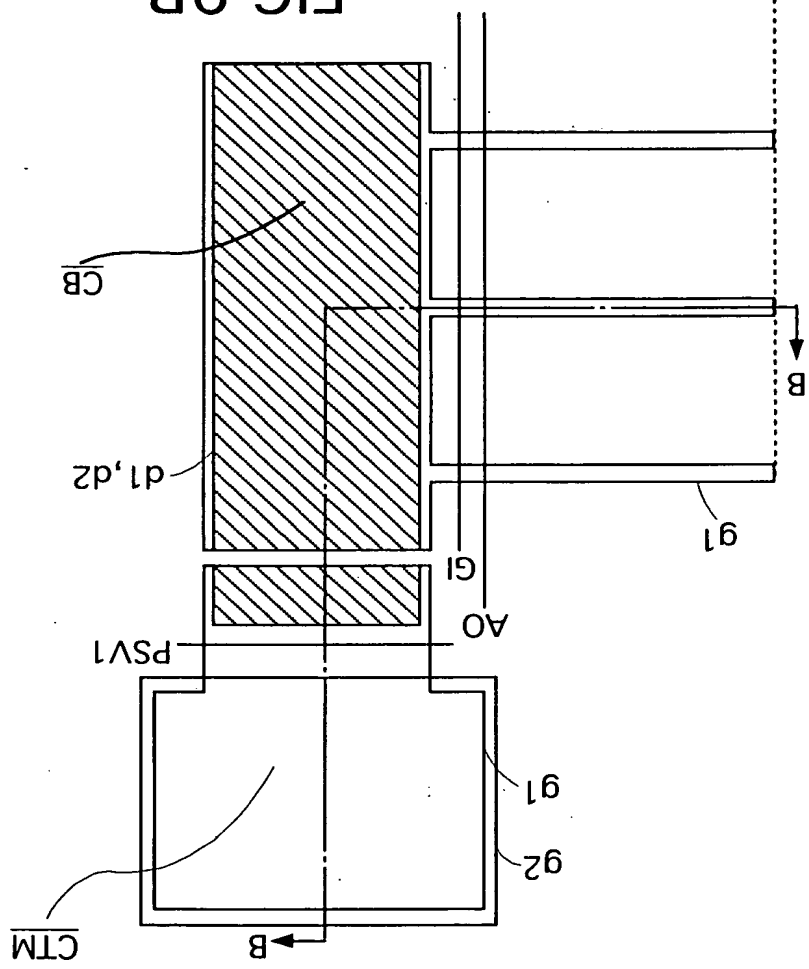


FIG. 9A

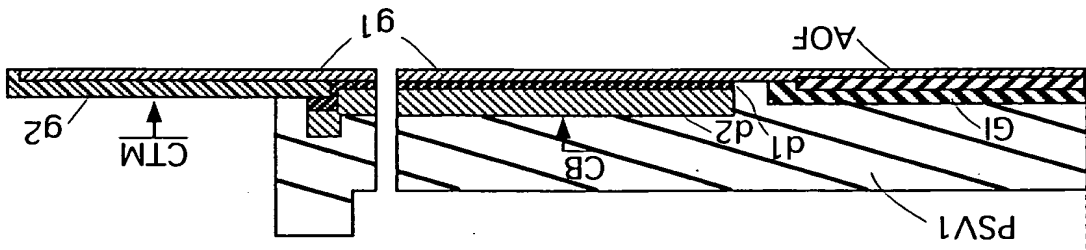
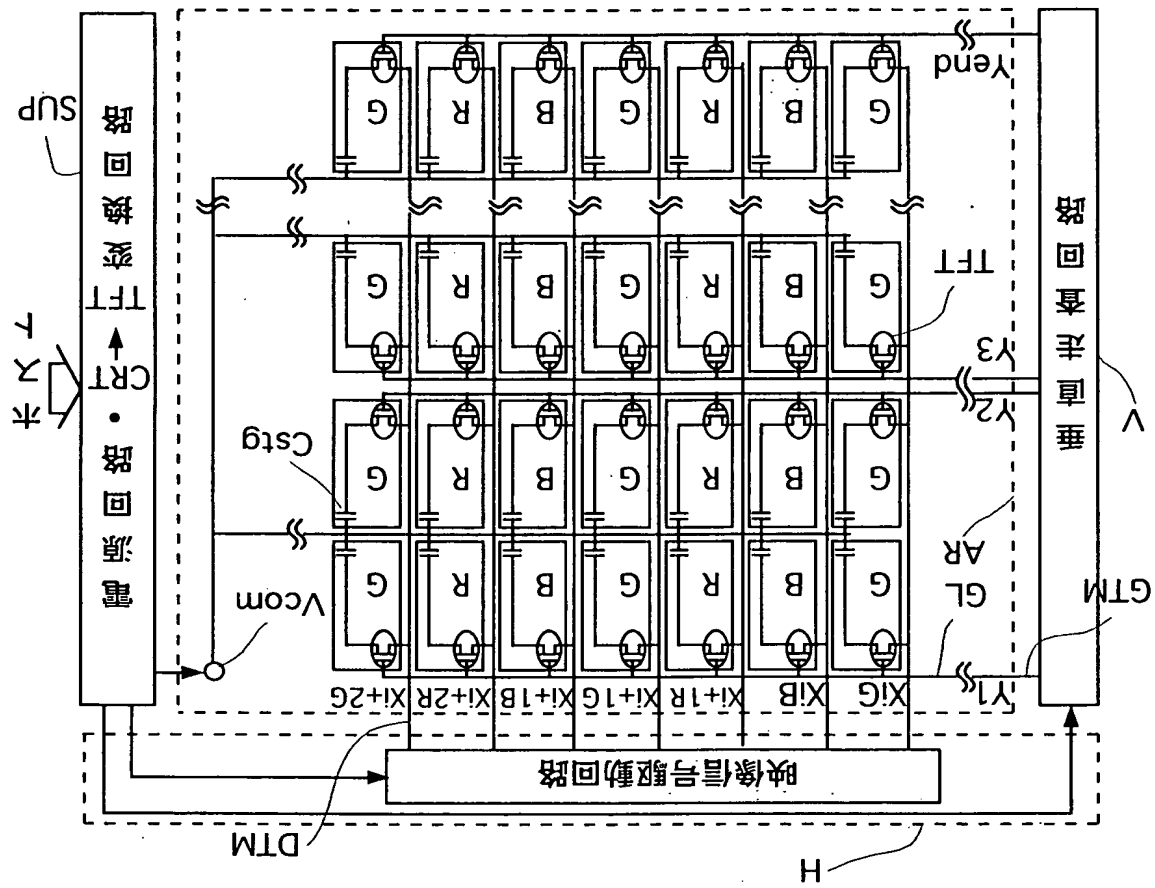


FIG. 9B

FIG. 10



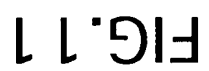


FIG.12

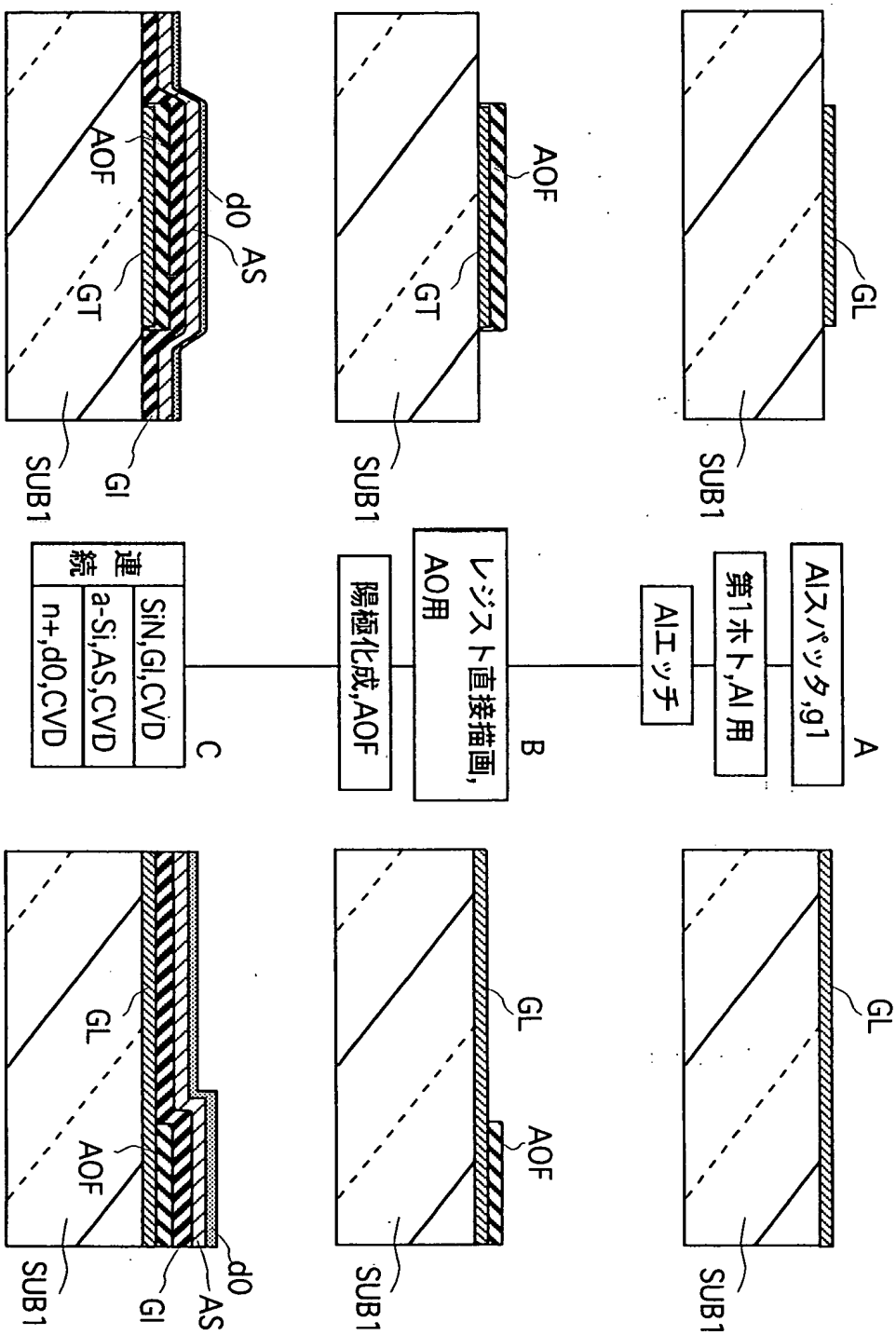


FIG.13

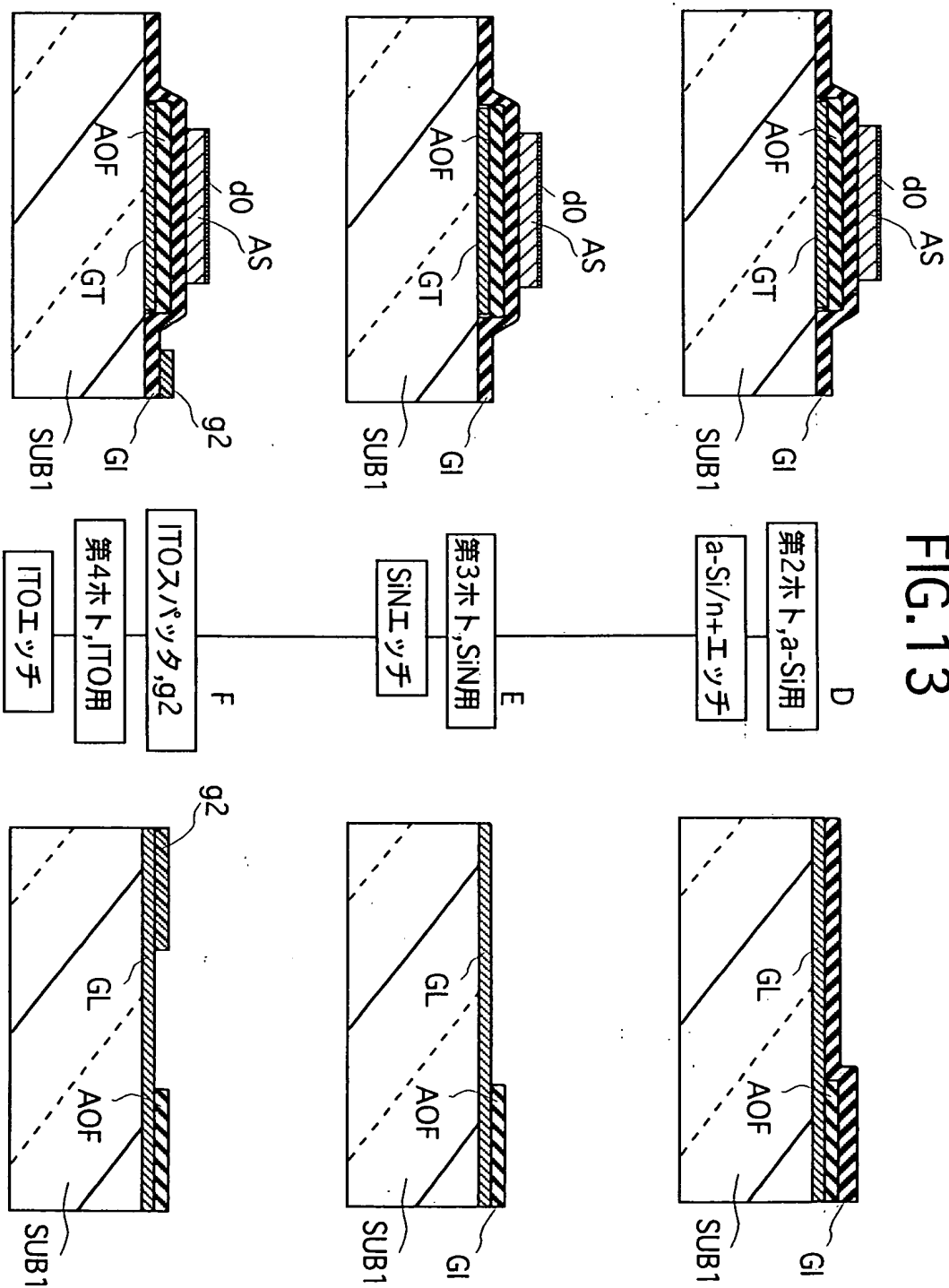


FIG. 14

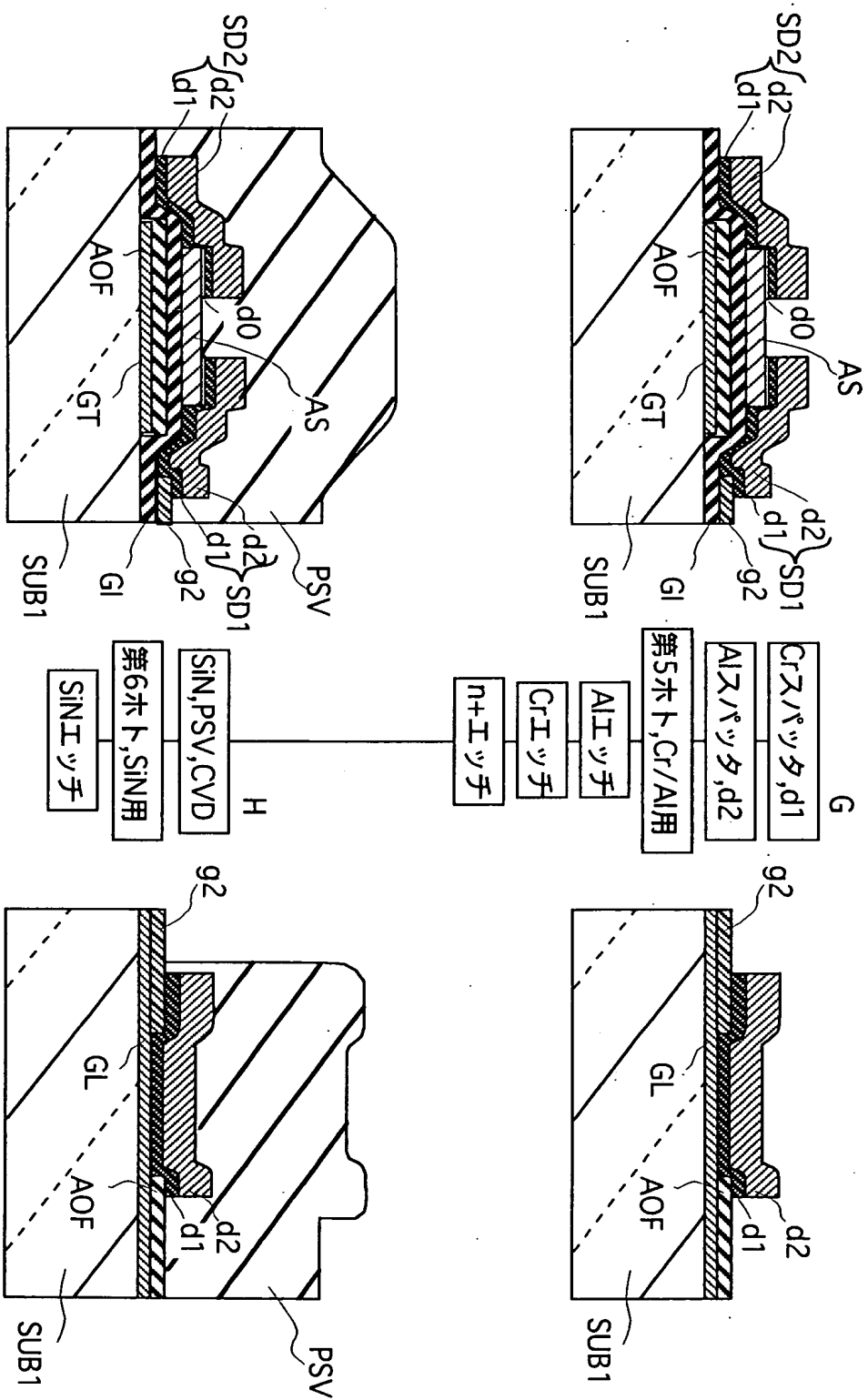
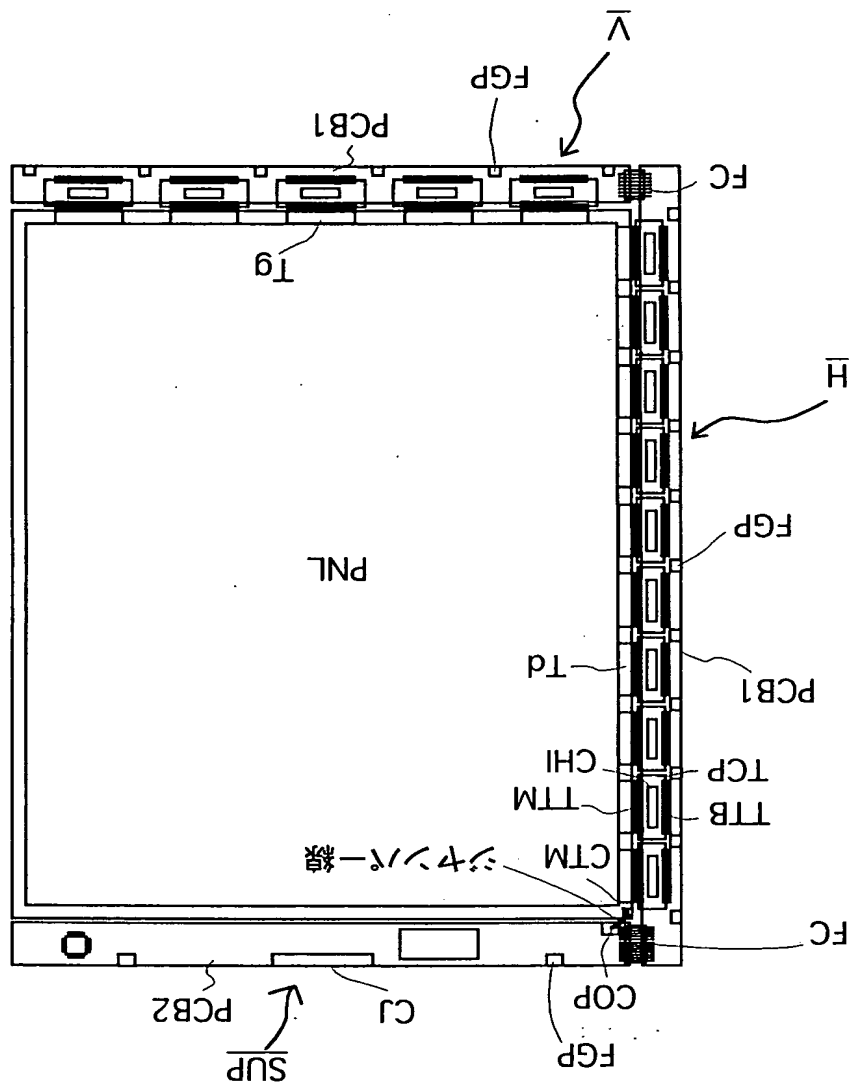


FIG. 15



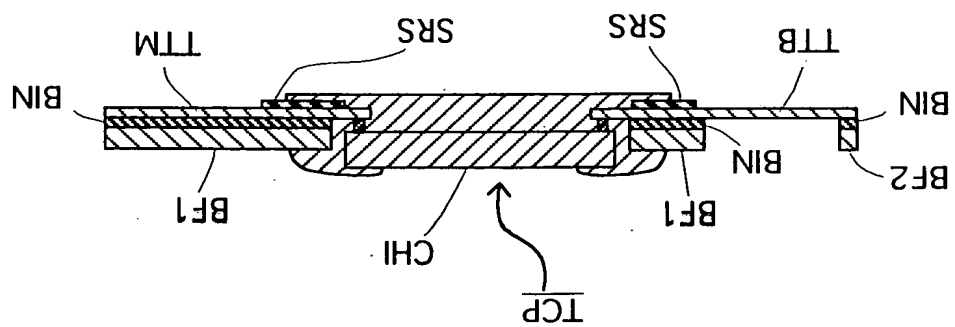
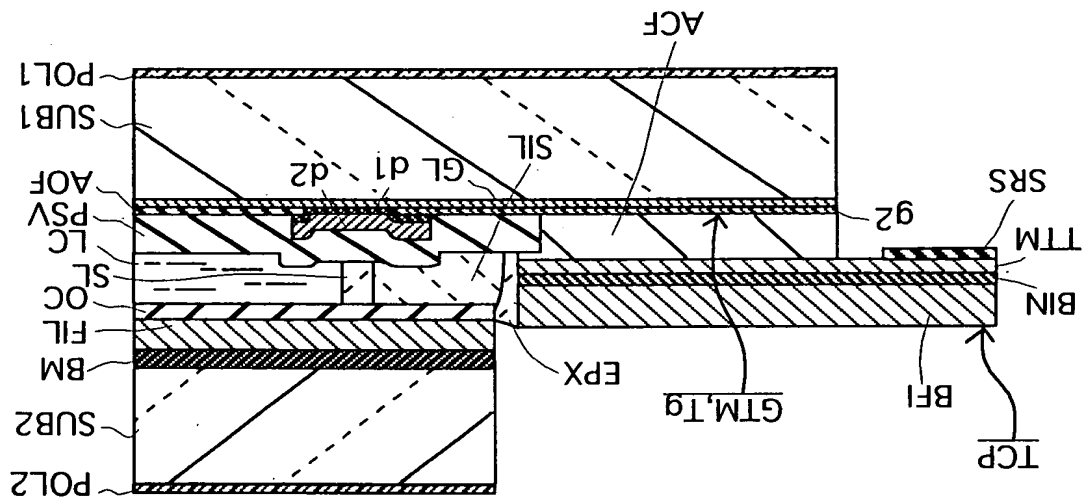


FIG. 16

FIG. 17



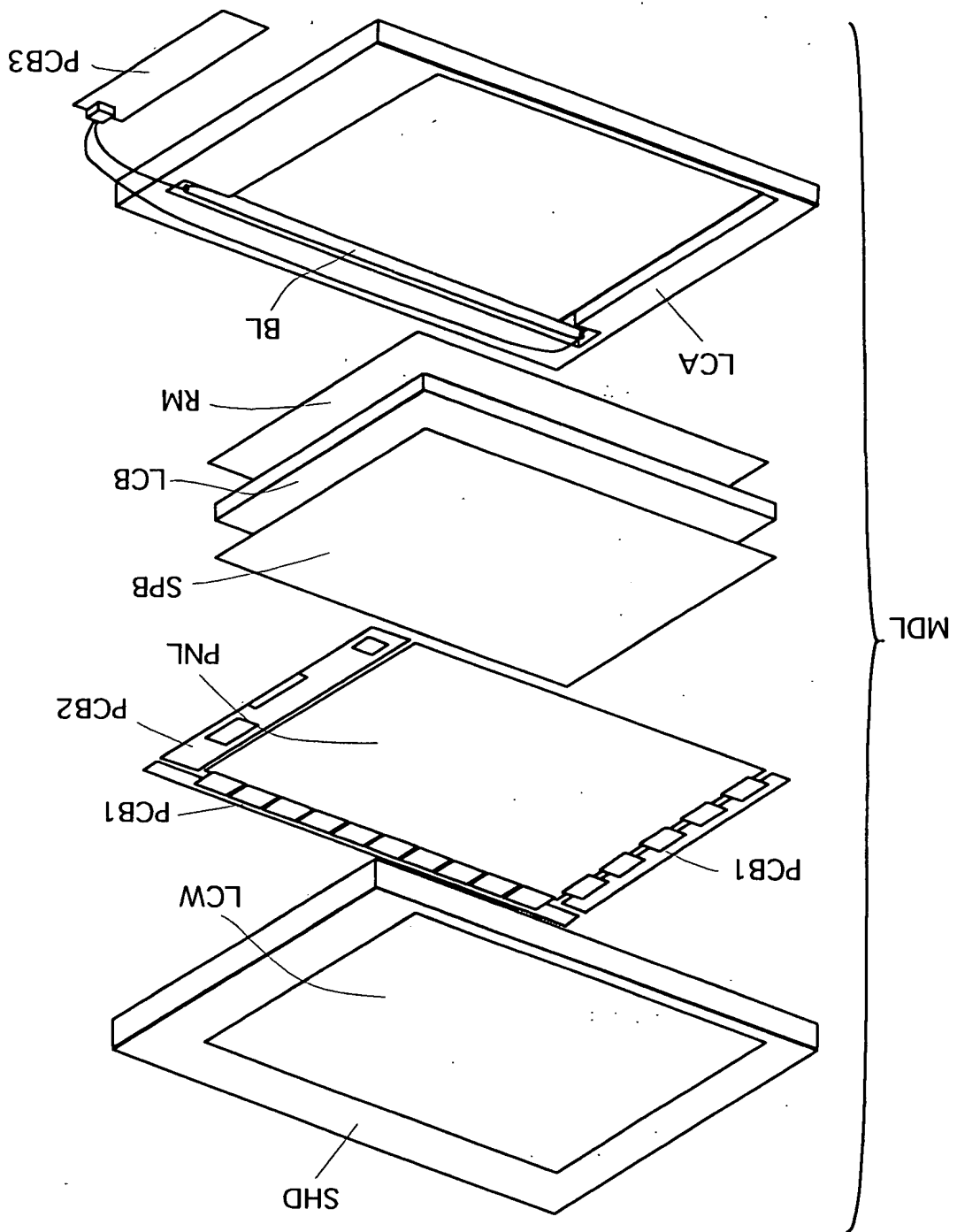


FIG. 18

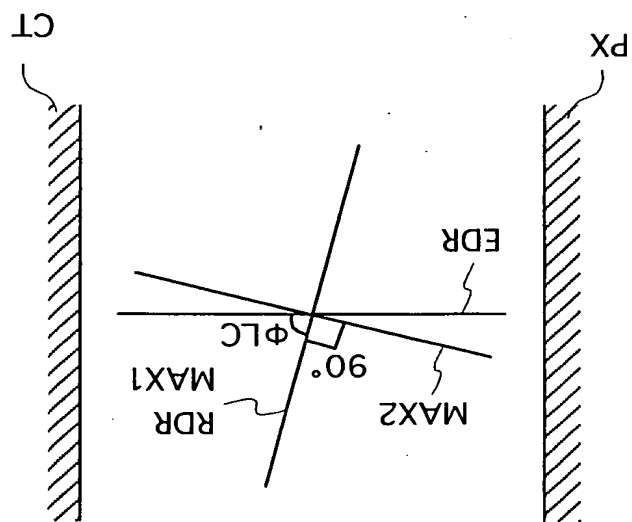


FIG. 19

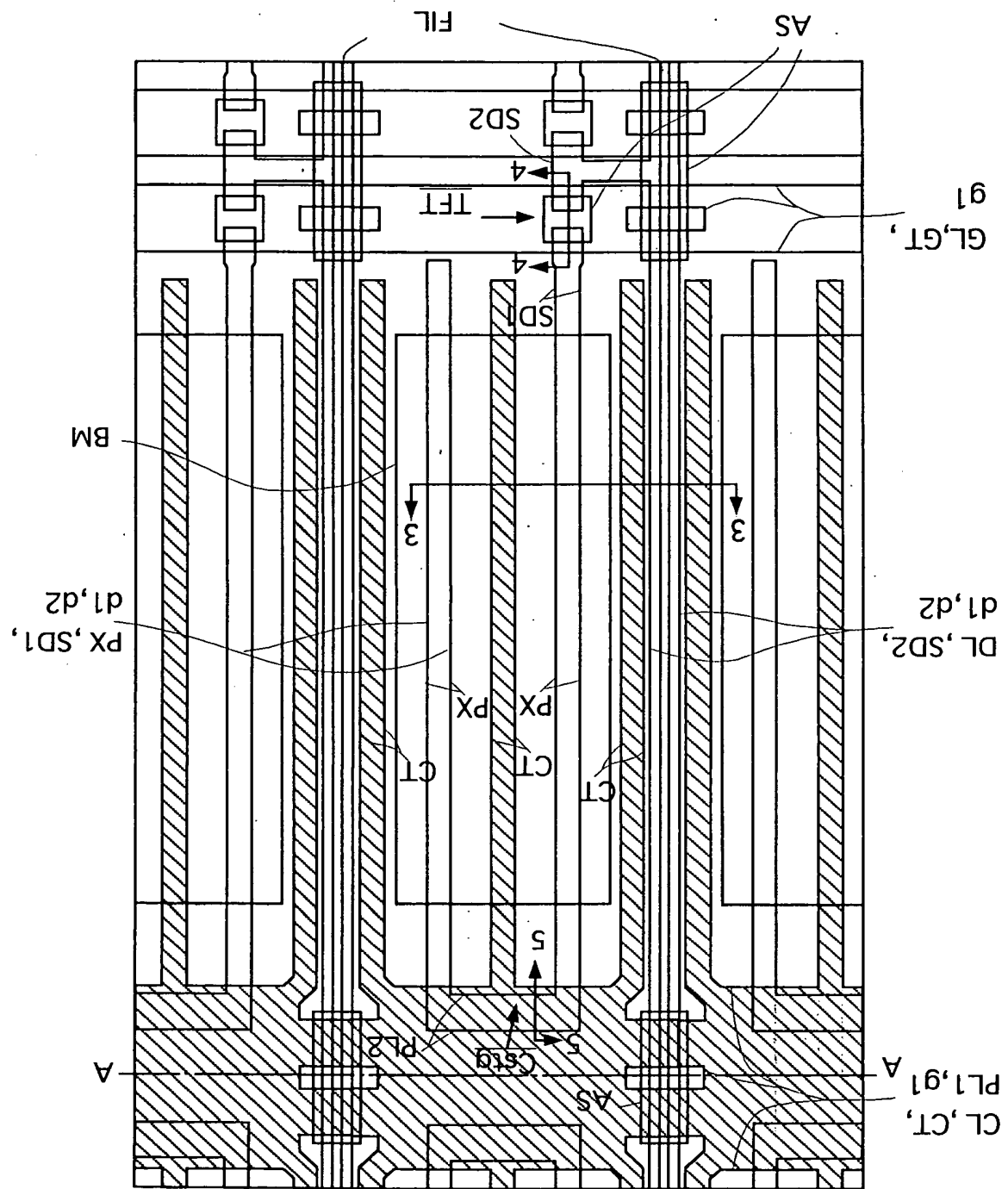


FIG. 20

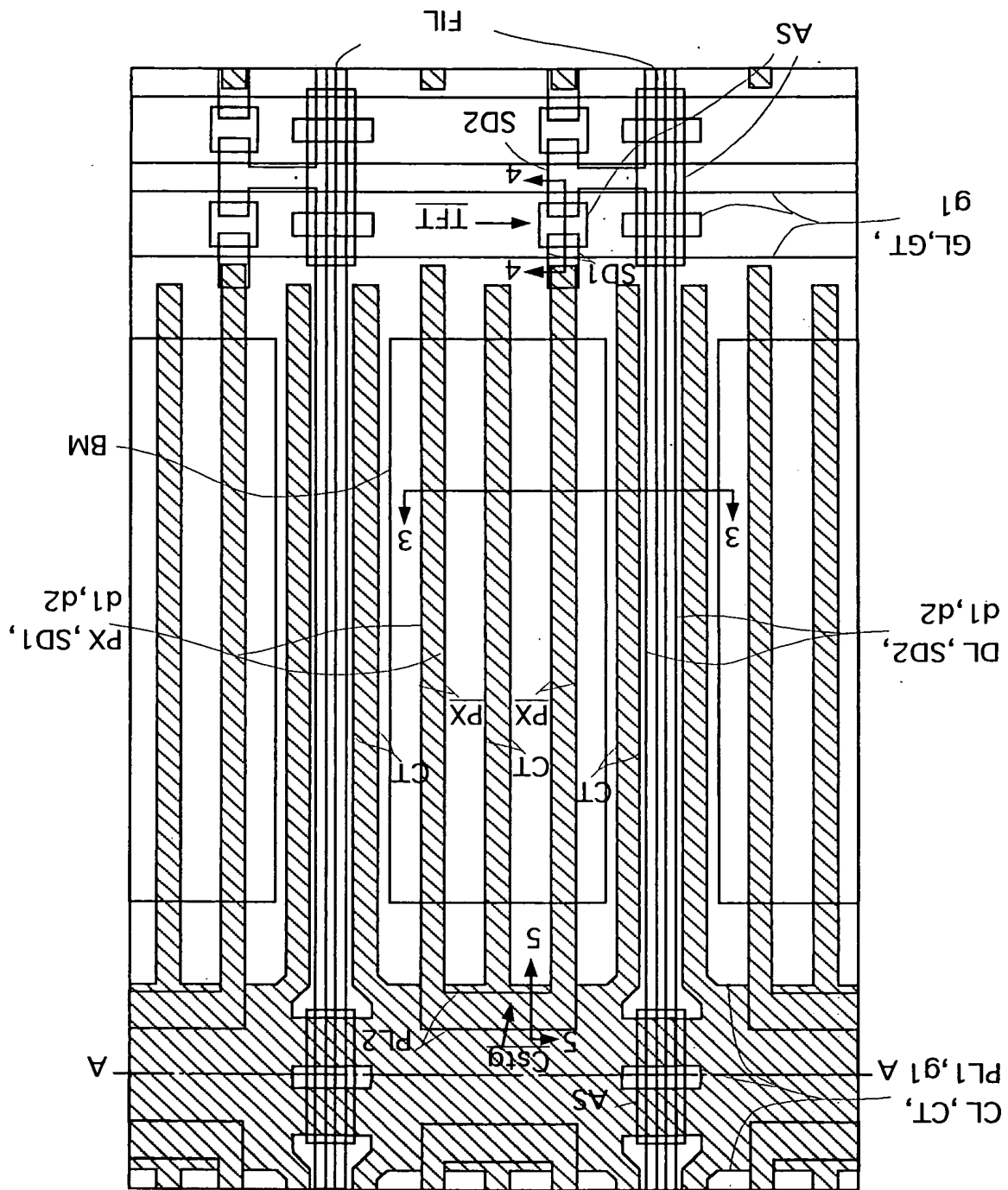


FIG. 21

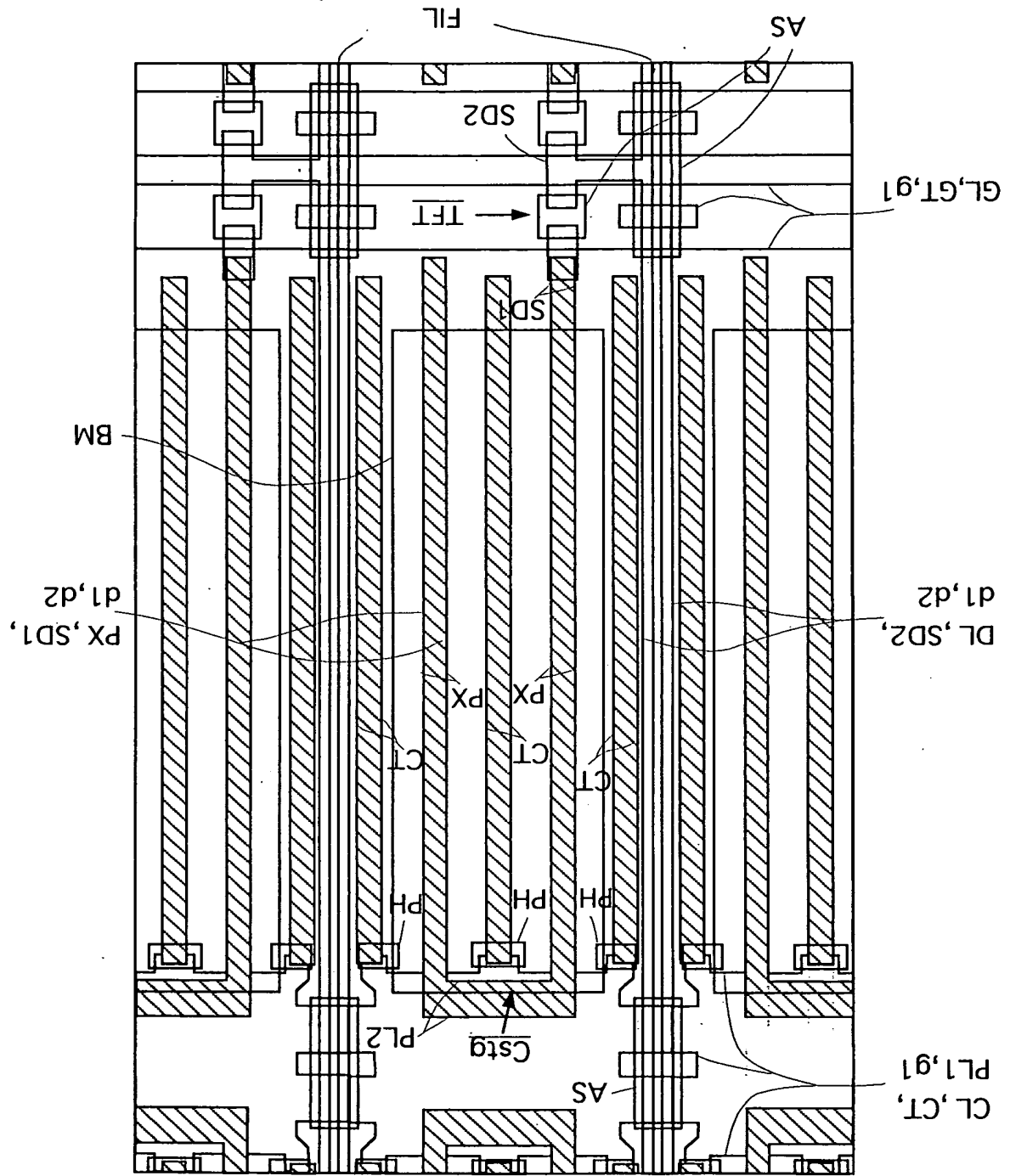


FIG. 22

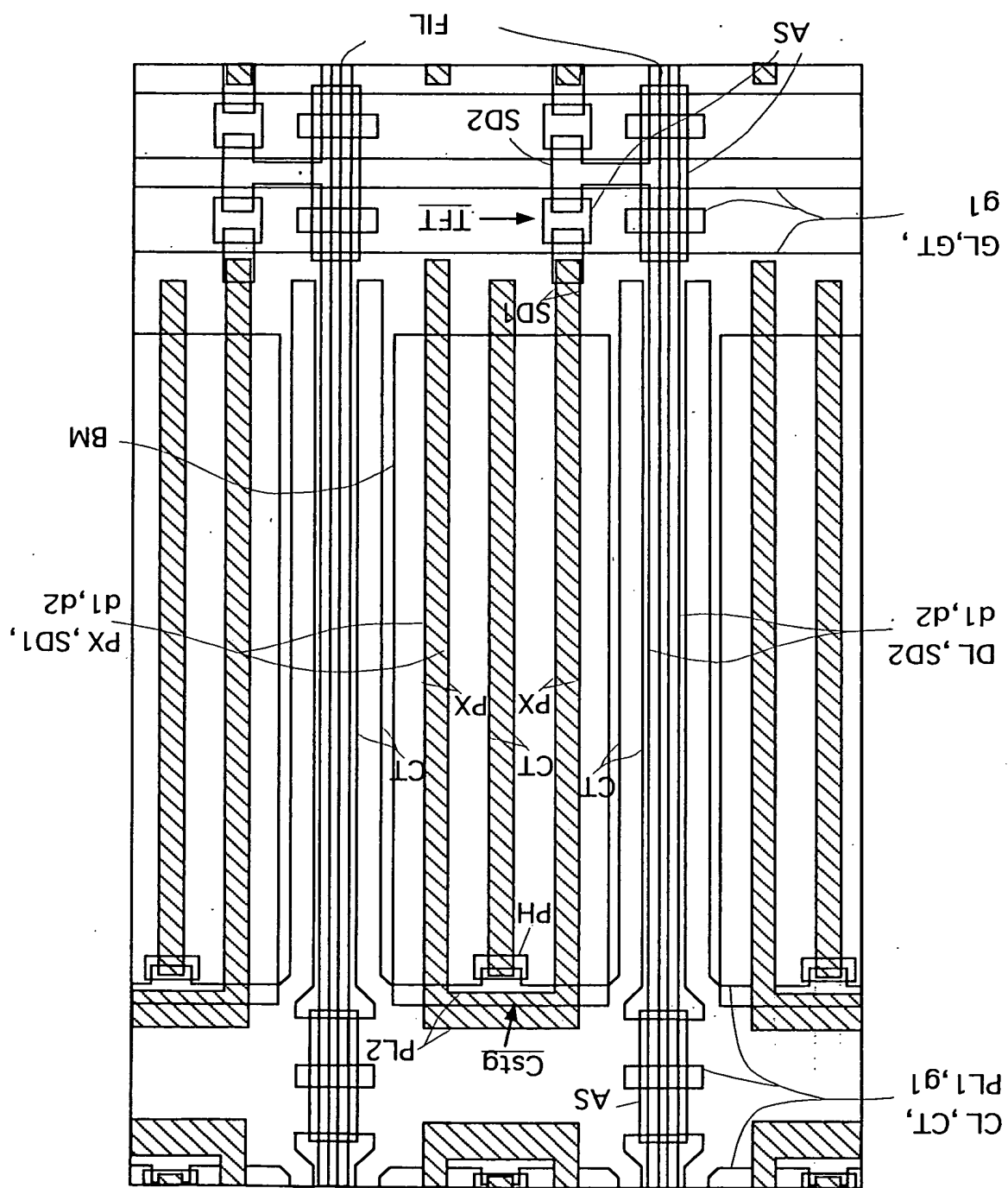


FIG. 23

FIG. 24A

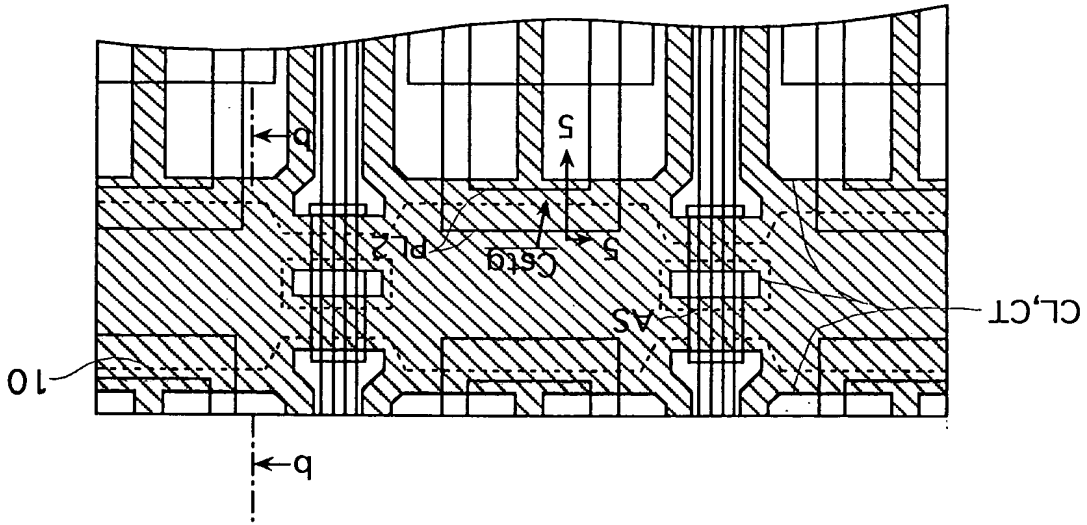


FIG. 24B

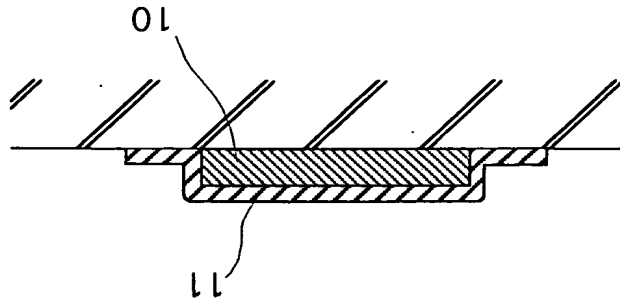
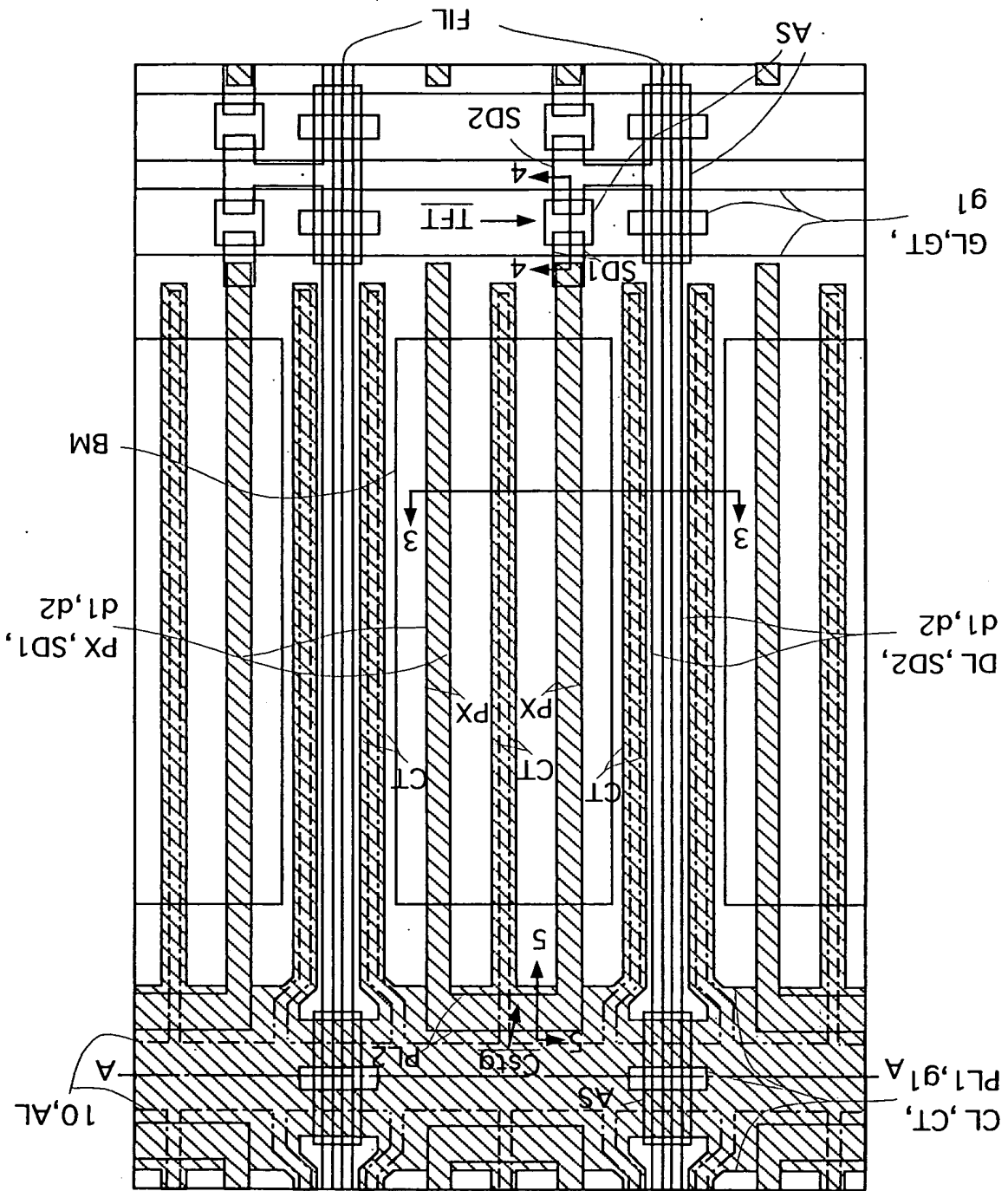
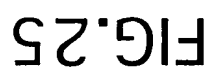


FIG. 24C





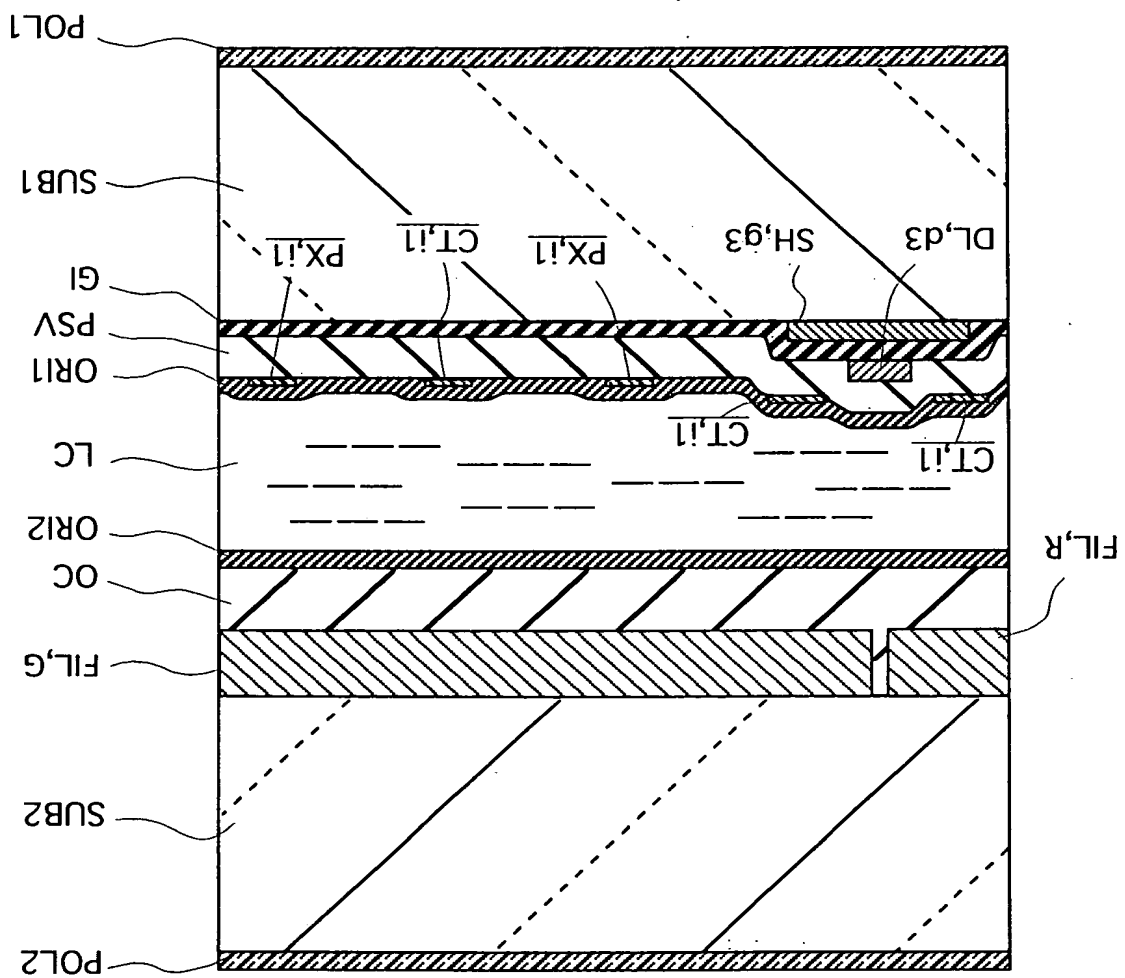


FIG. 26

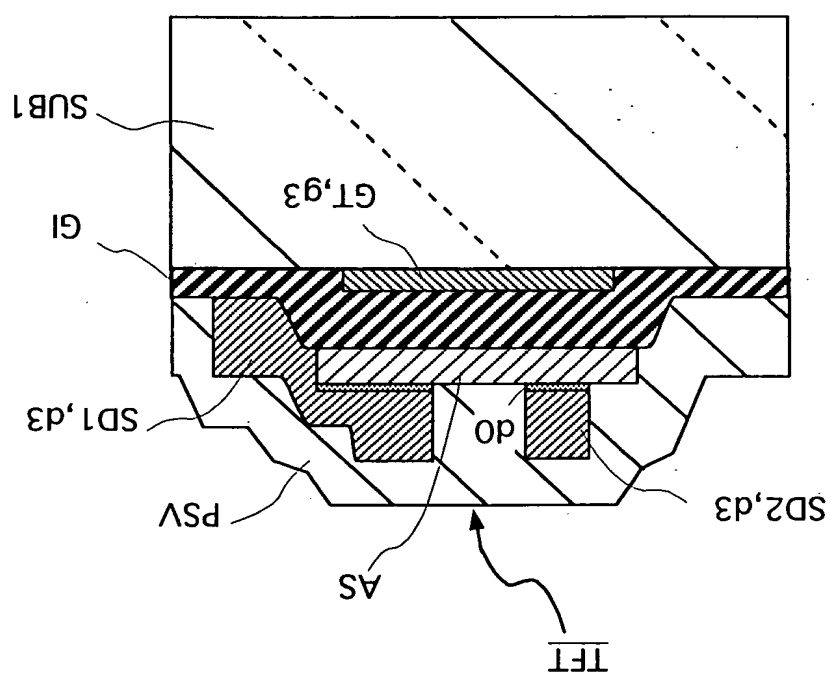


FIG. 27

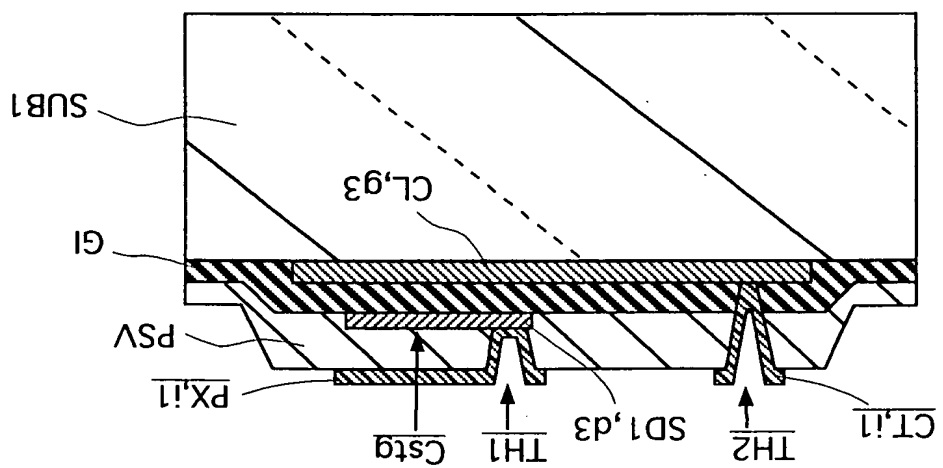


FIG.28

FIG.29A

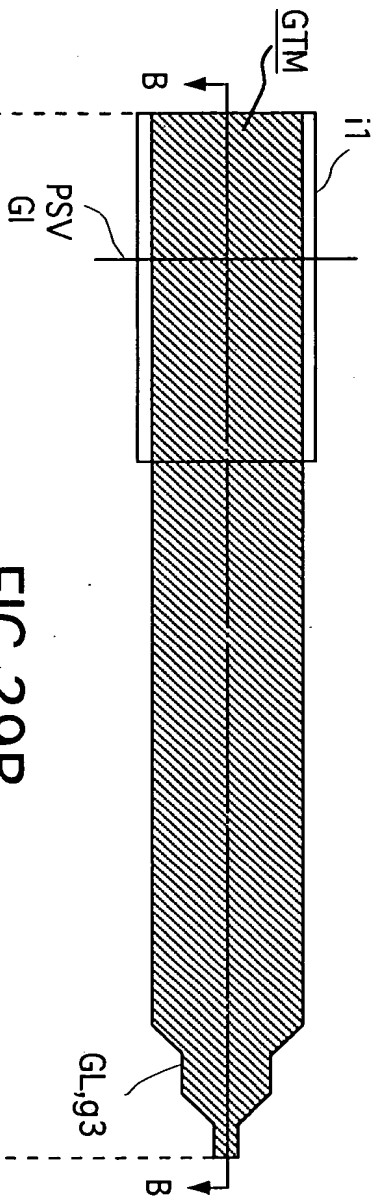


FIG.29B

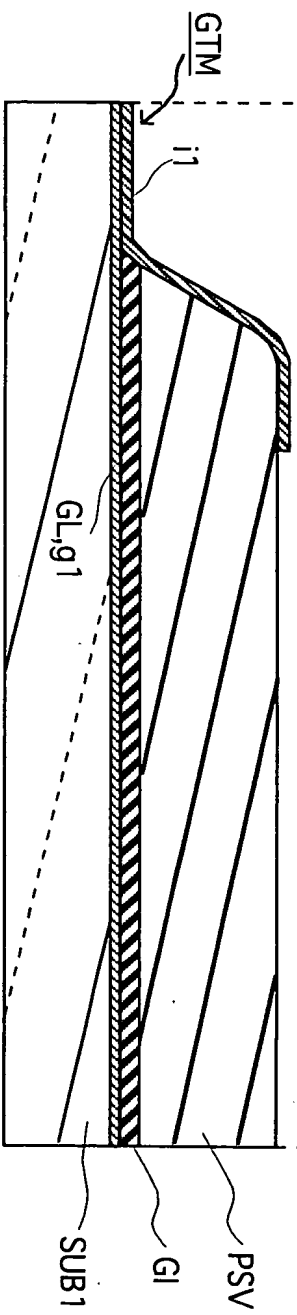


FIG. 30A

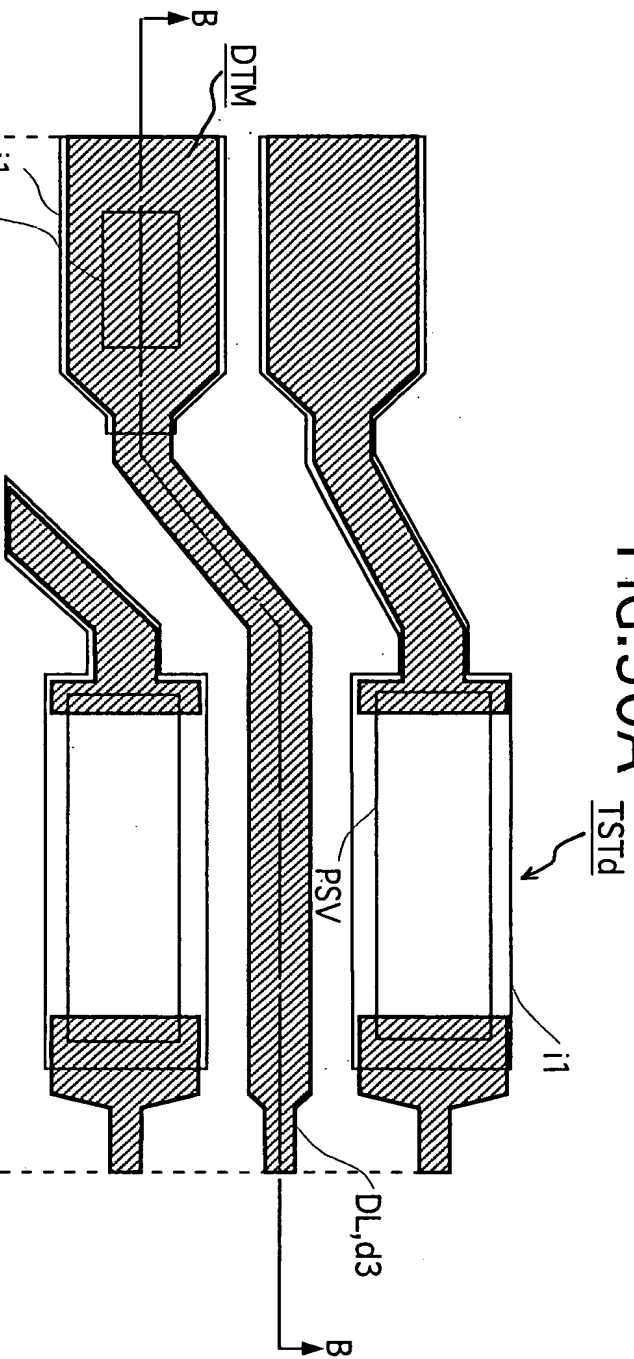
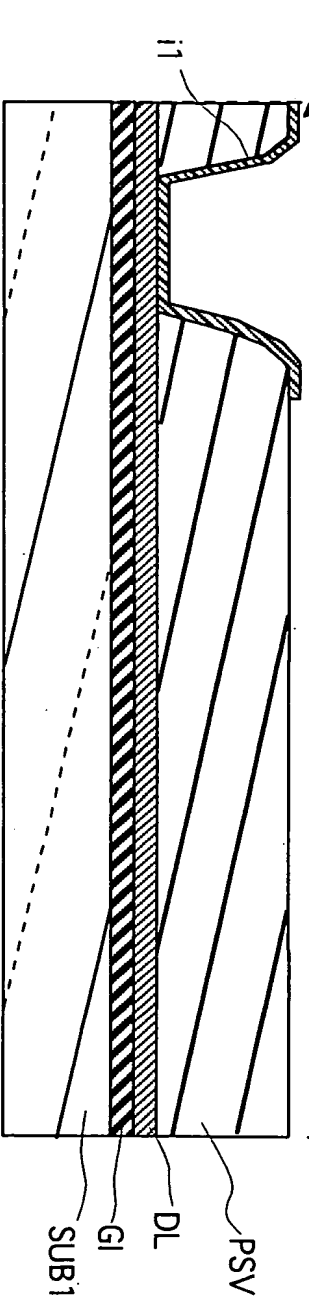
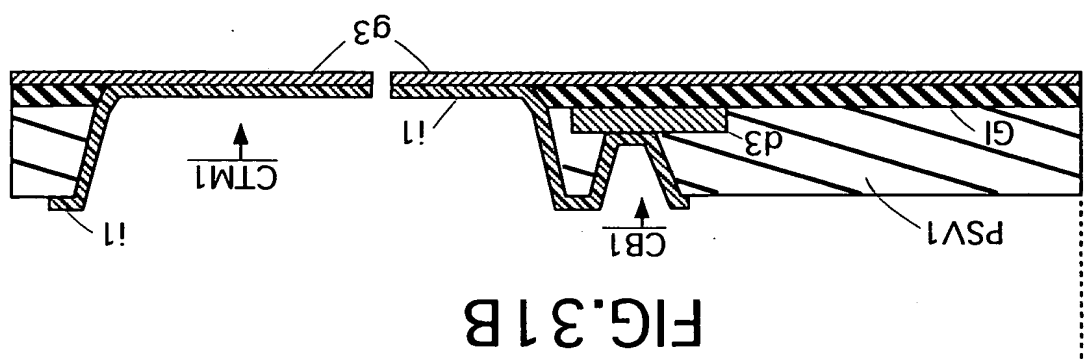
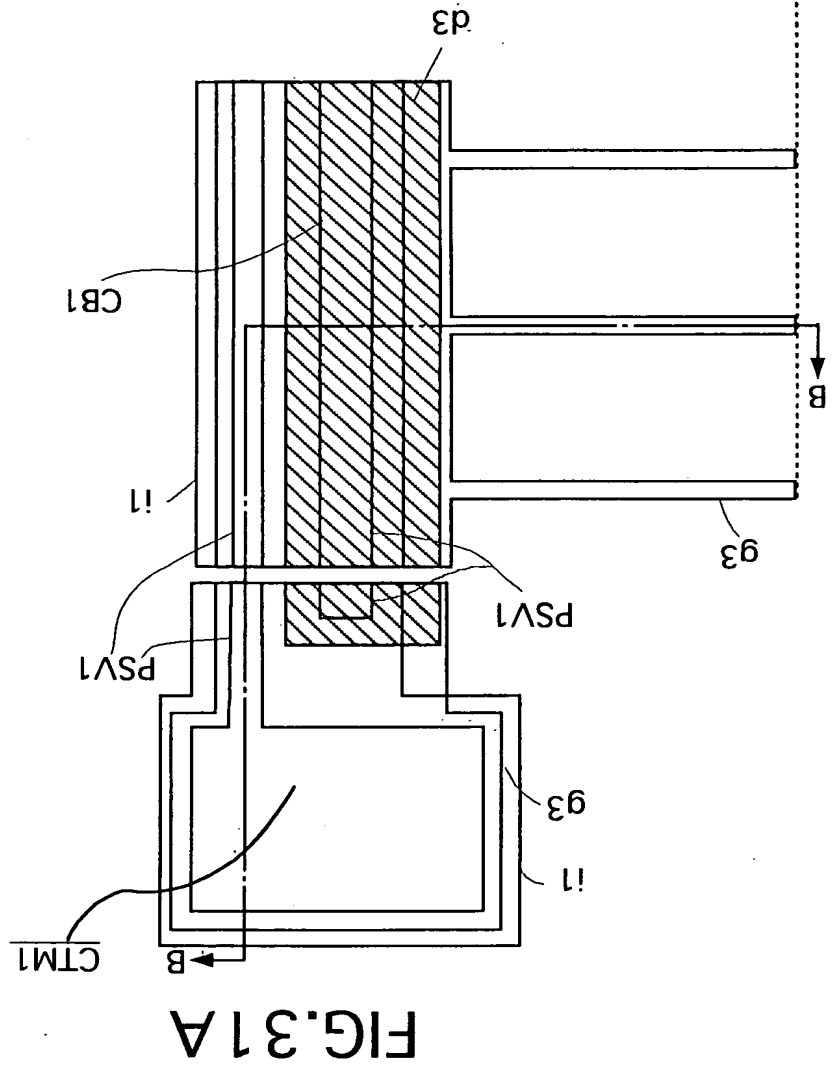
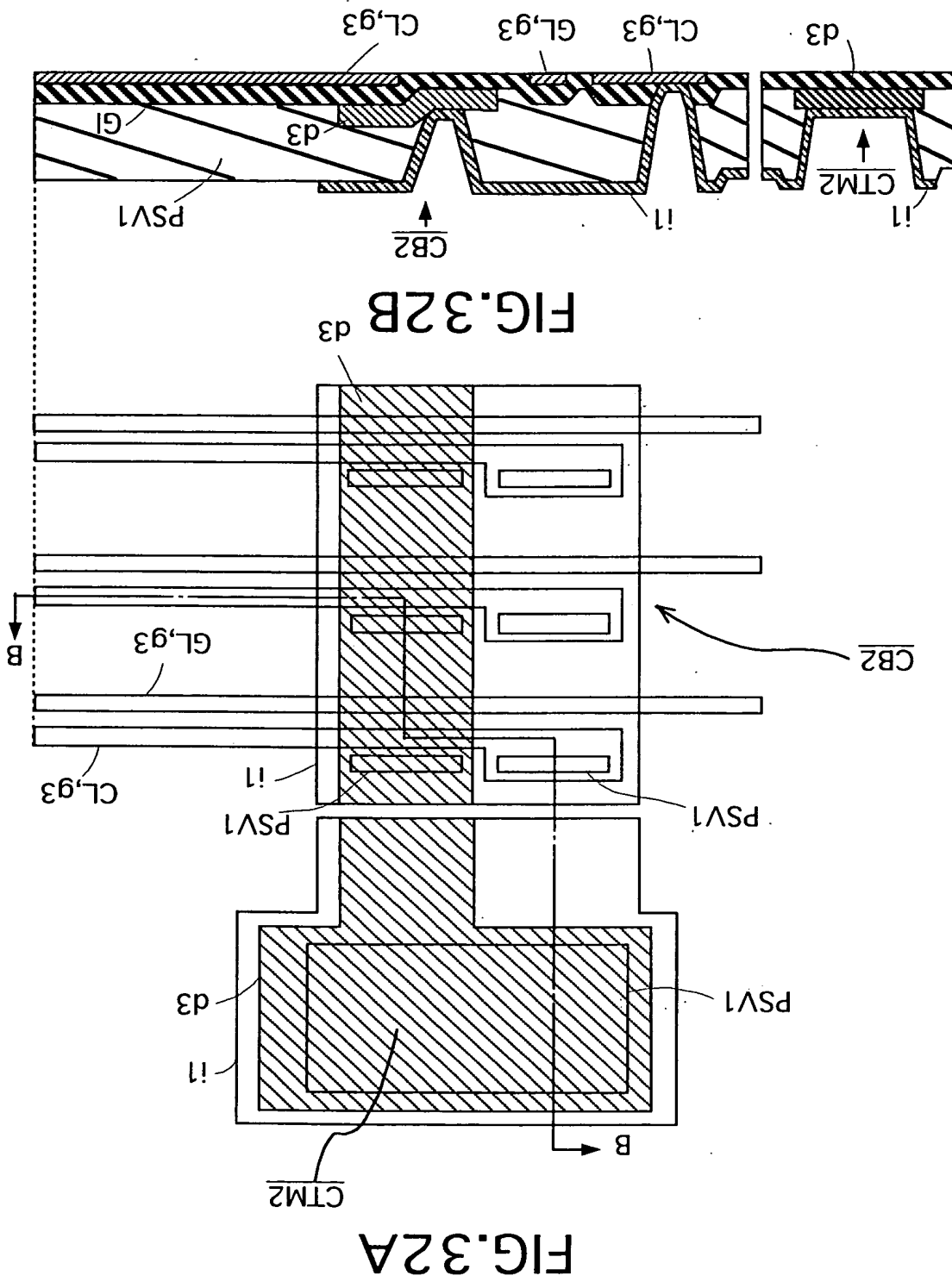


FIG. 30B







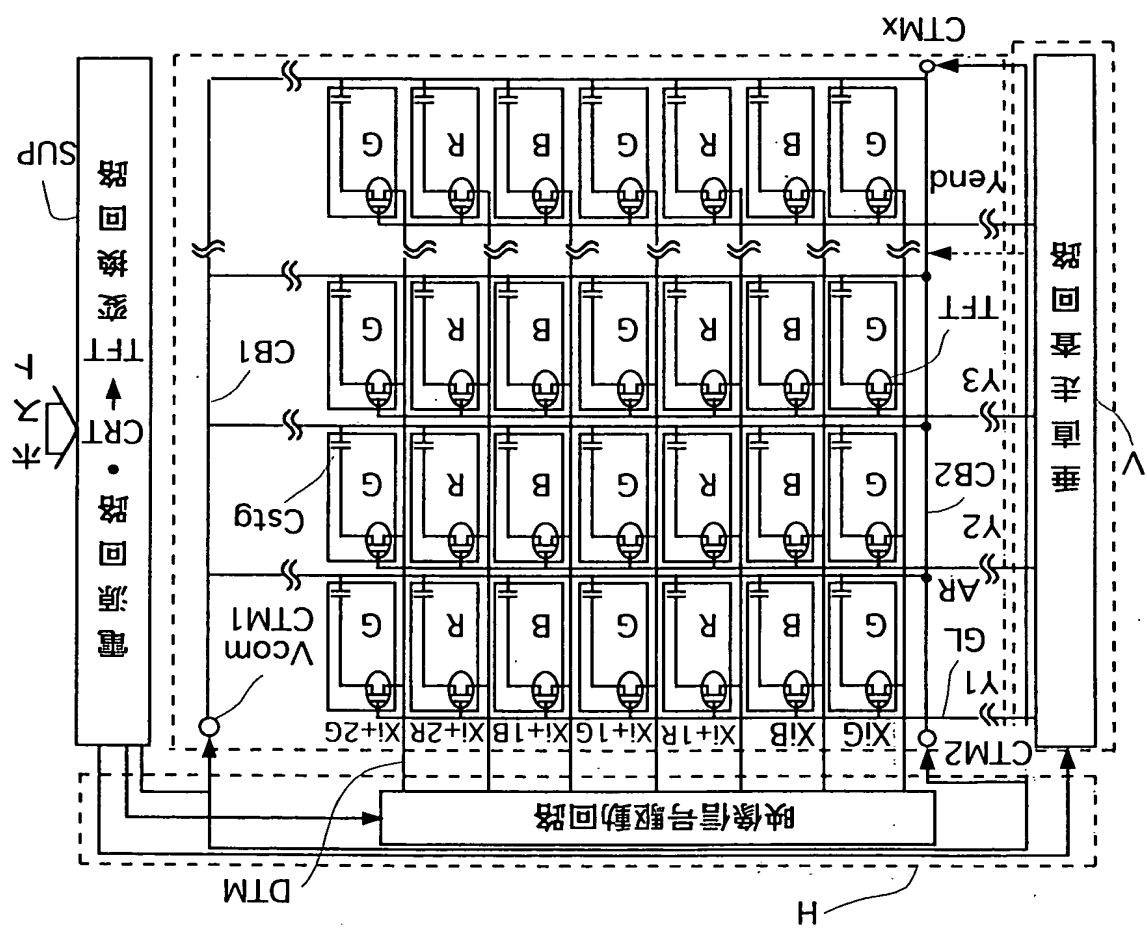


FIG. 33

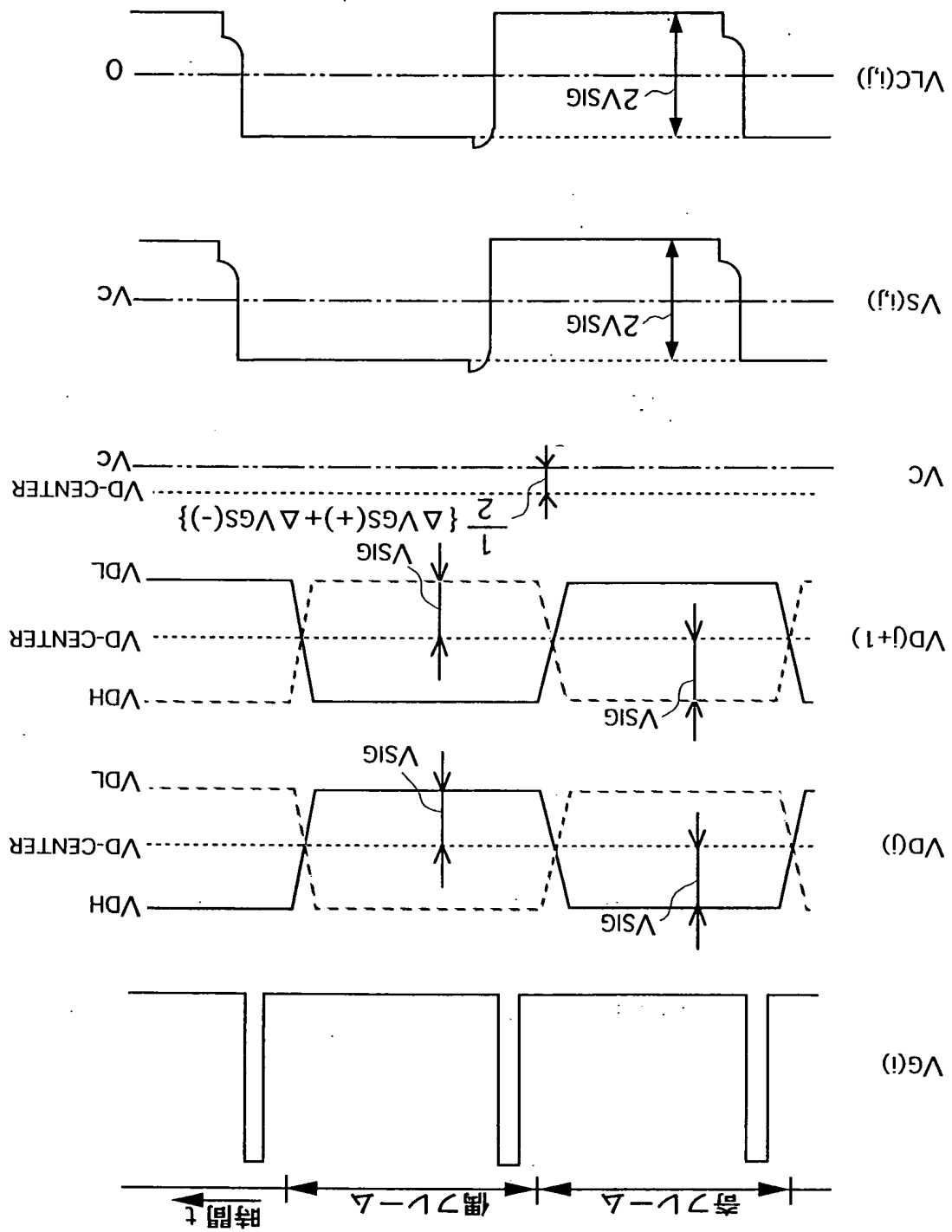


FIG. 34

FIG.35

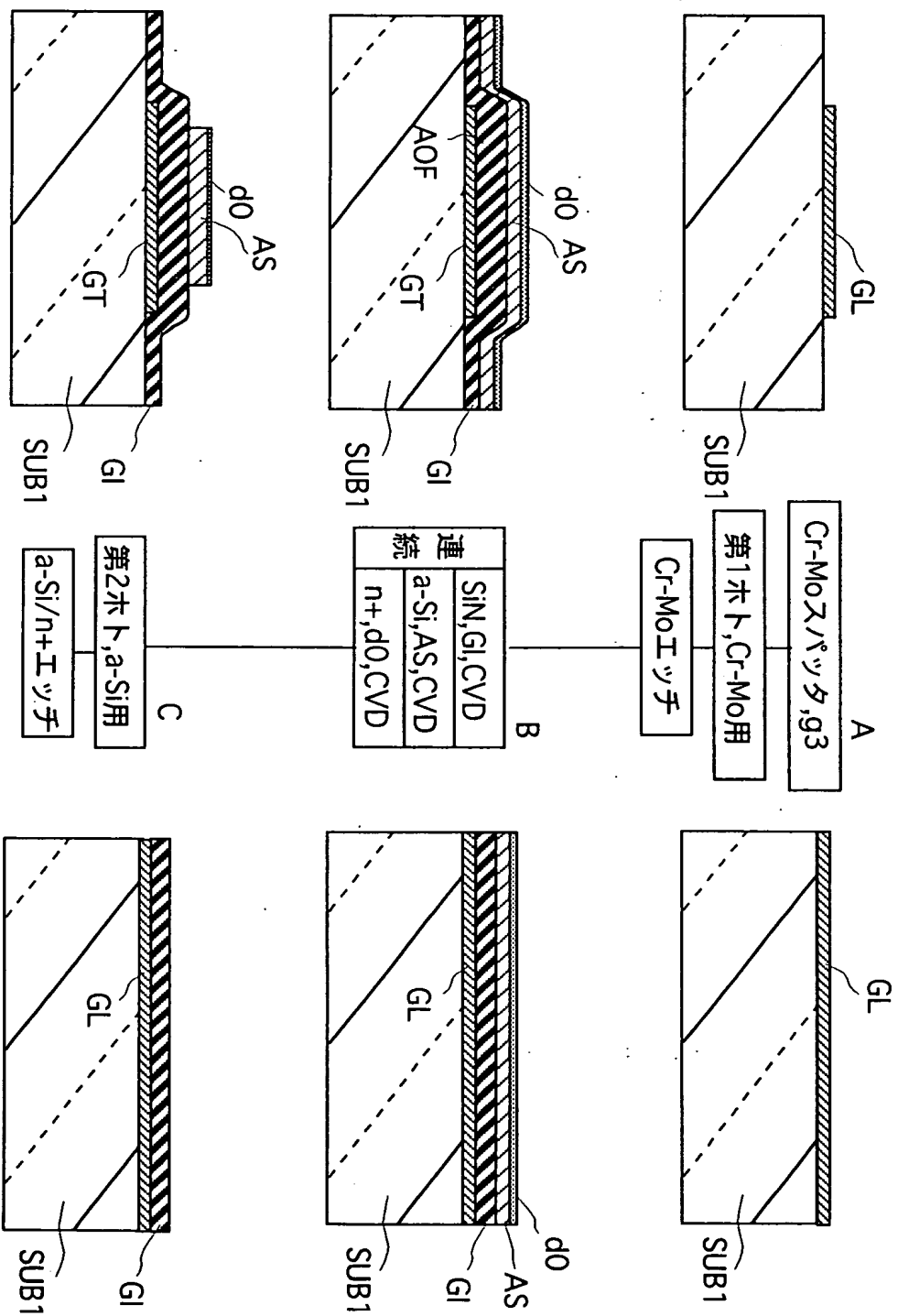


FIG.36

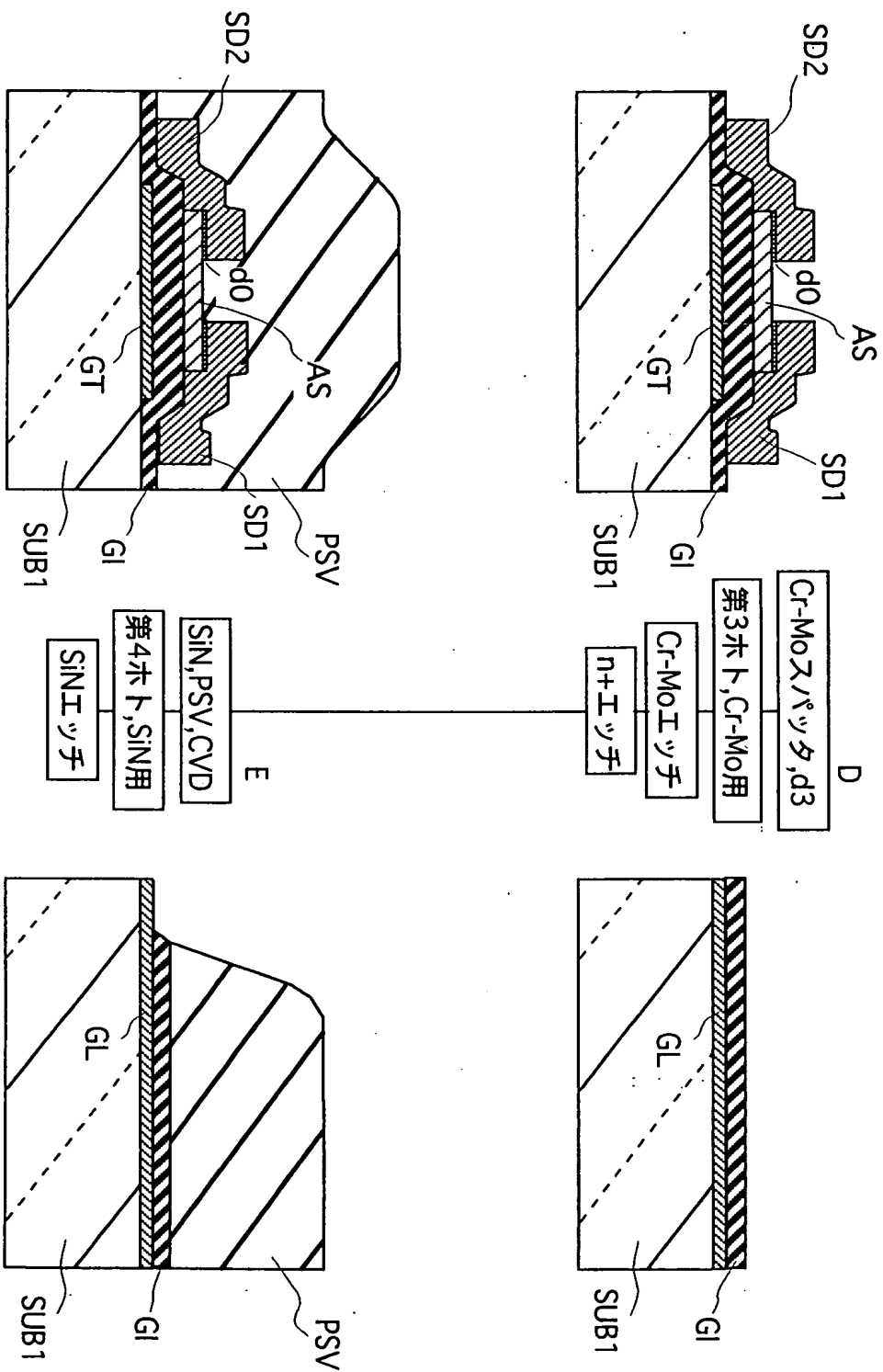
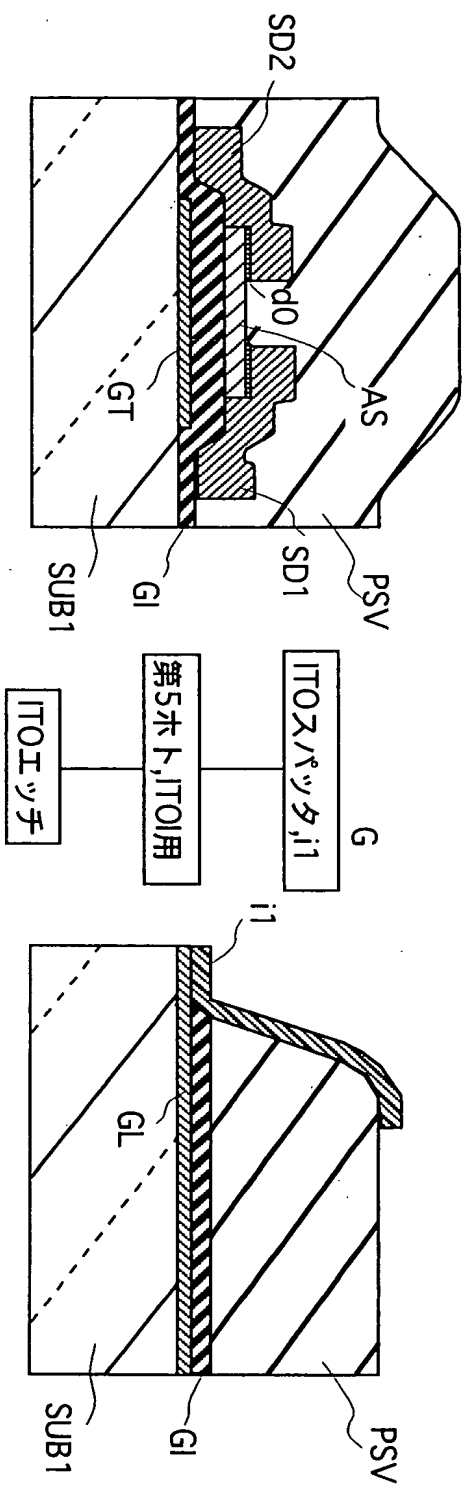


FIG.37



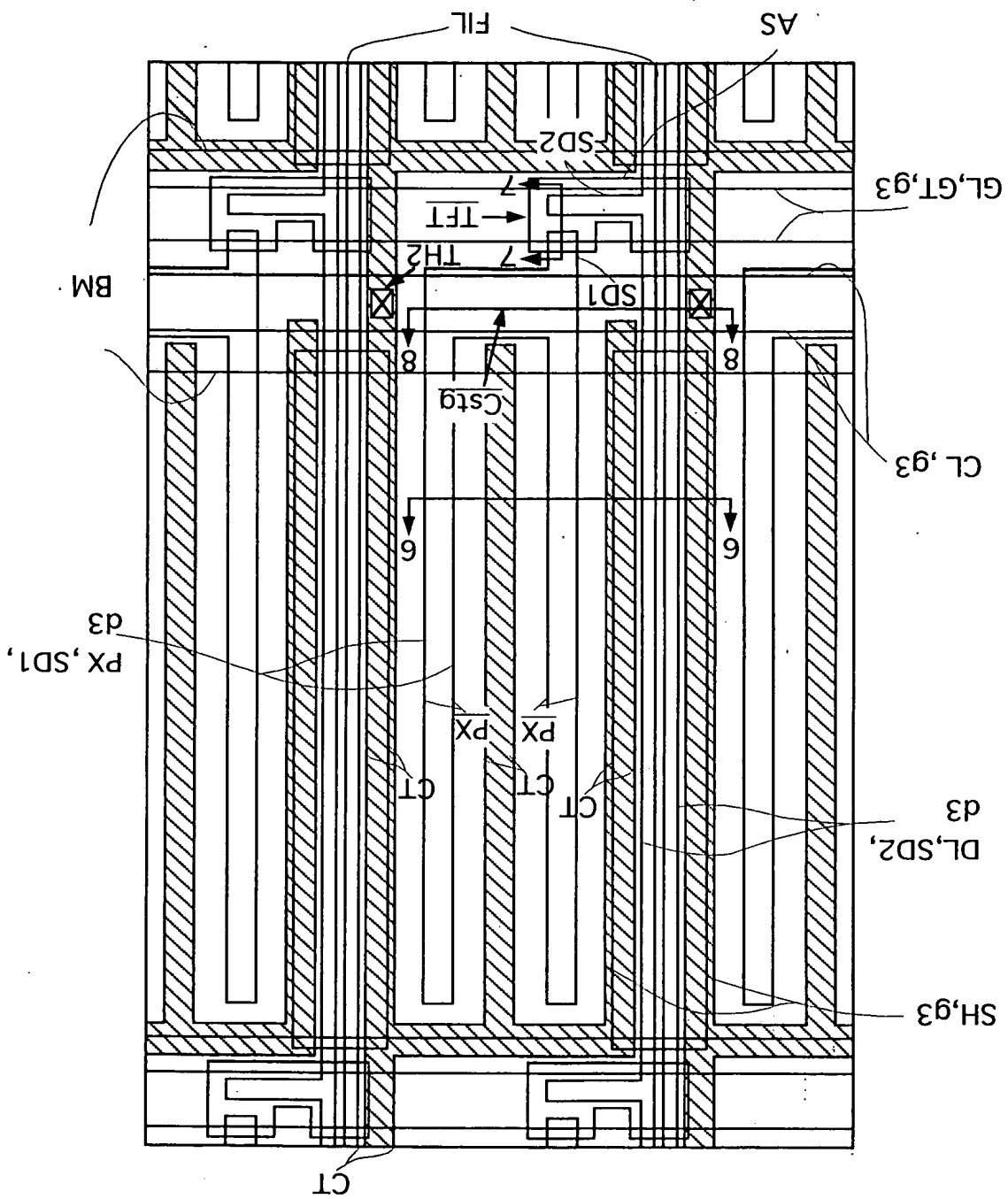


FIG. 38





FIG.41A

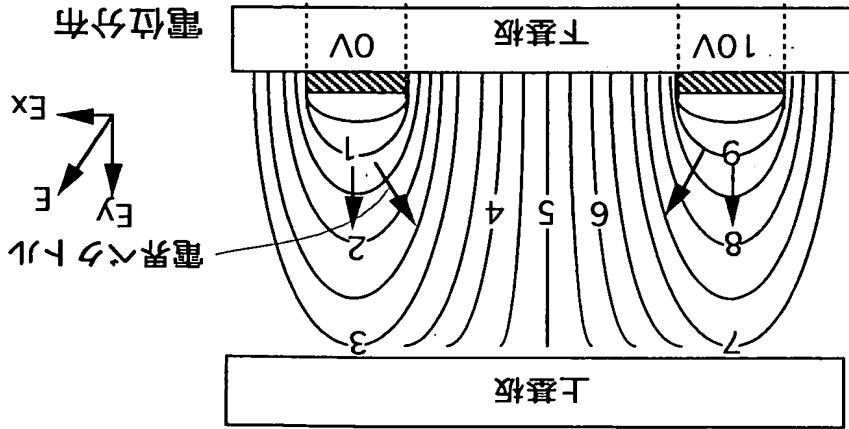


FIG.41B

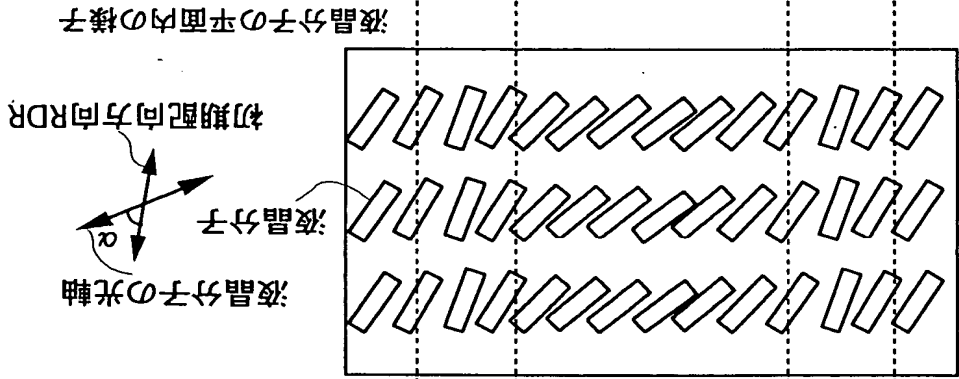


FIG.41C

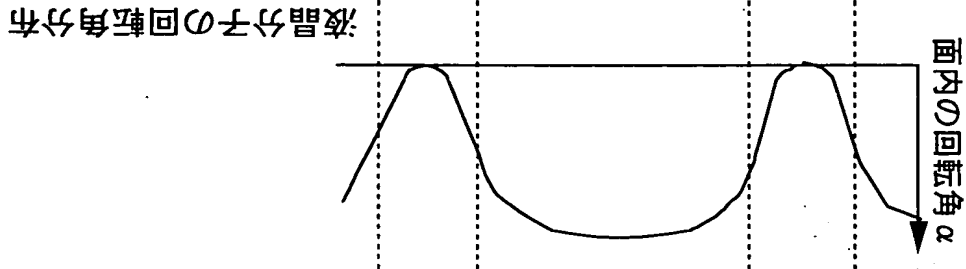


FIG.41D

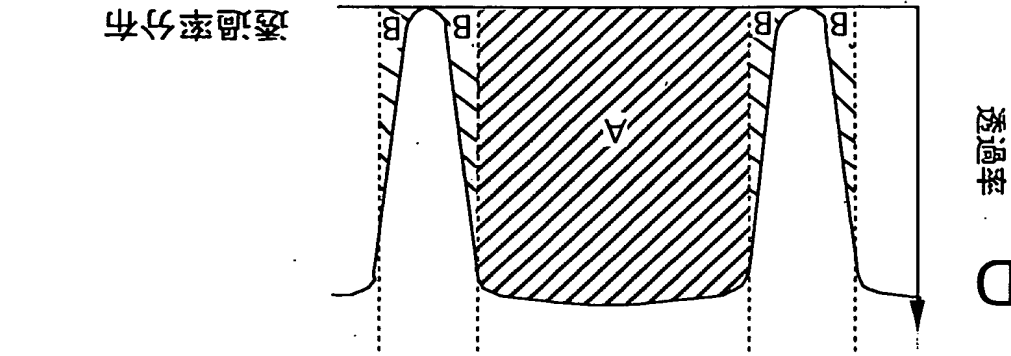


FIG.42A

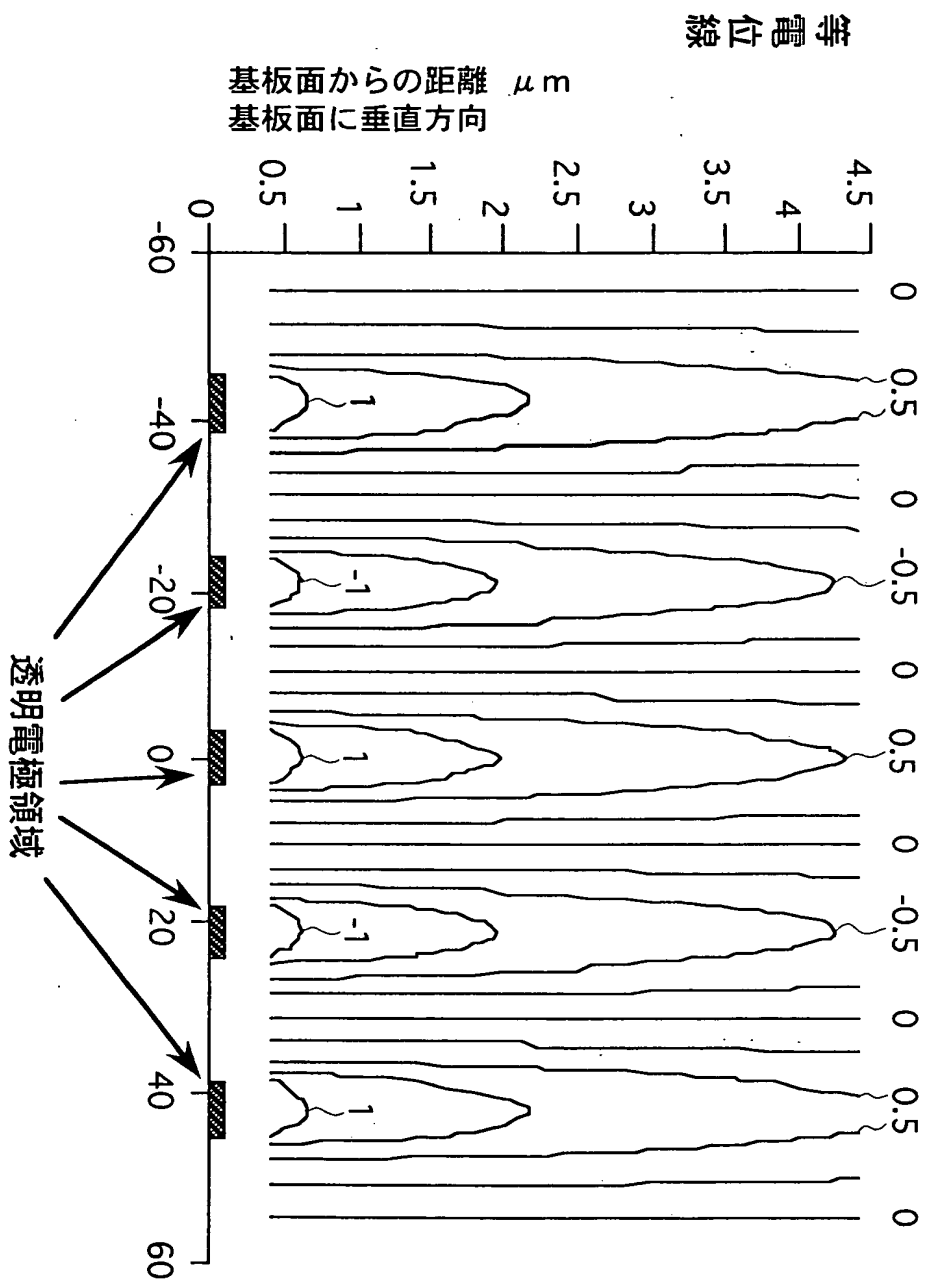


FIG.42B

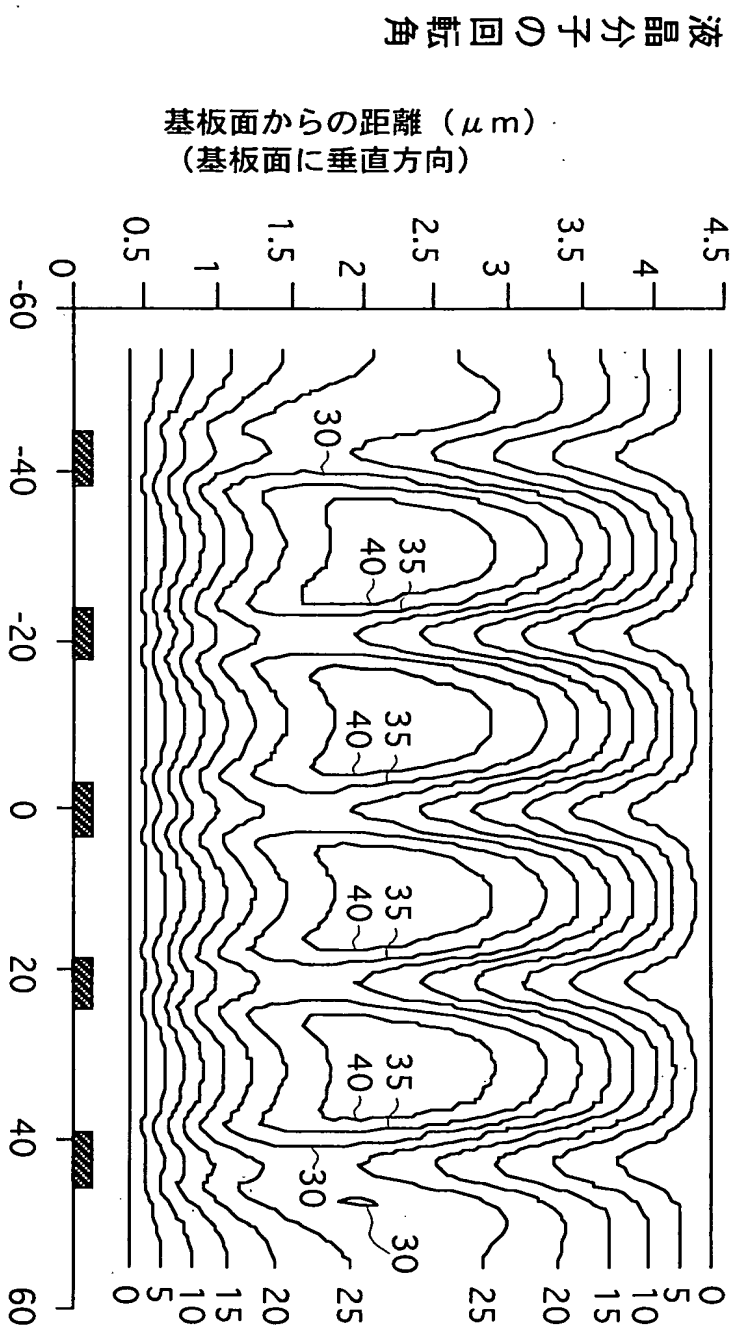


FIG.42C

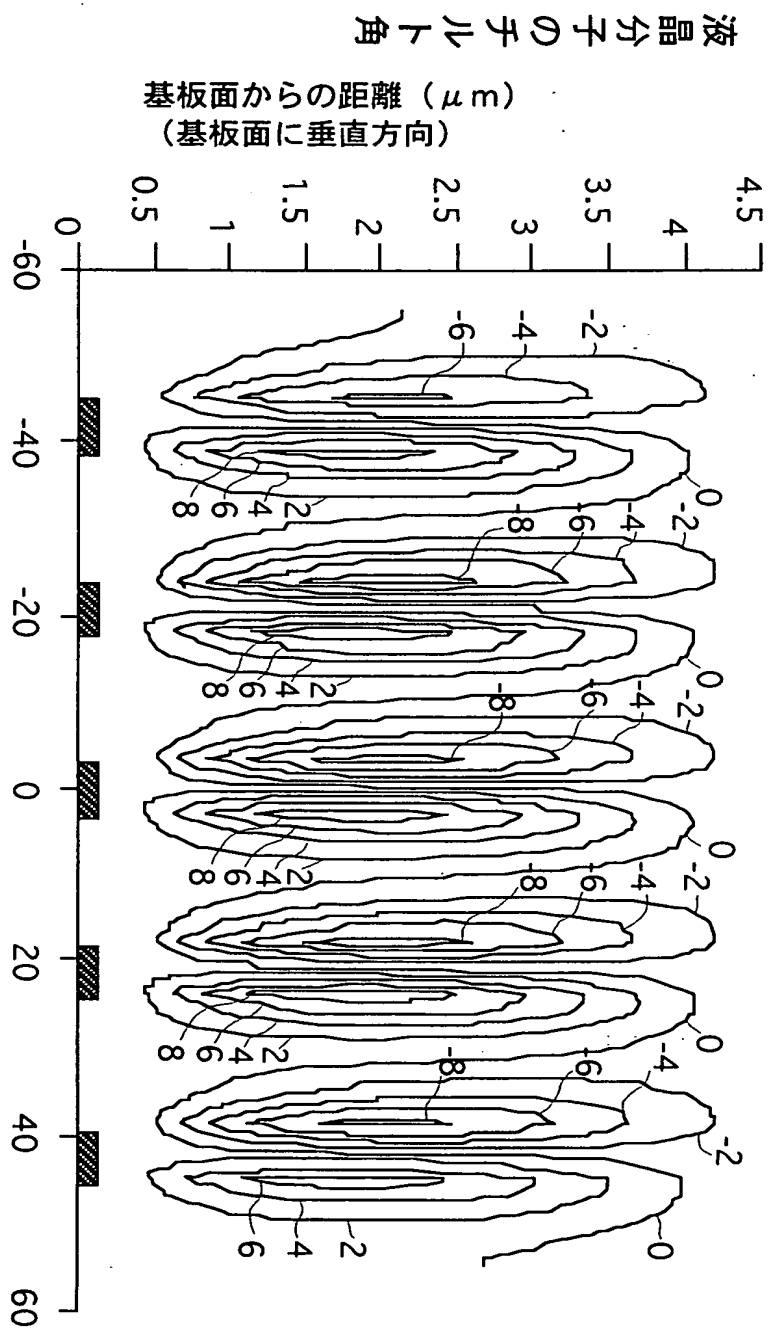


FIG.43A

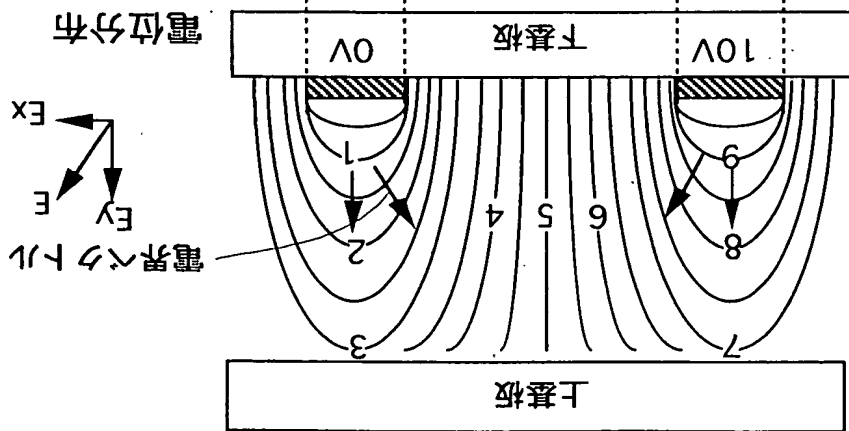


FIG.43B

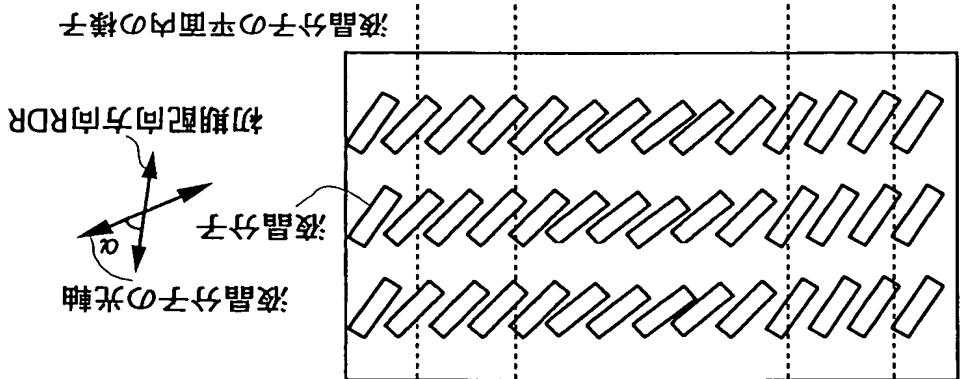


FIG.43C

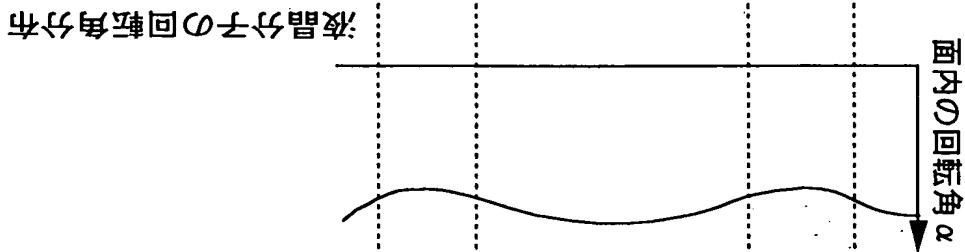
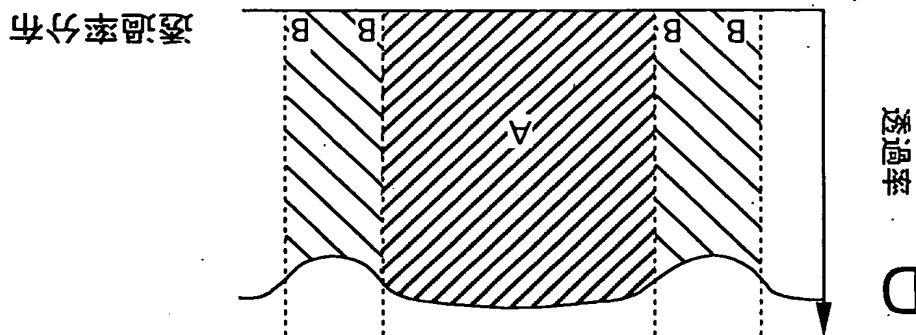


FIG.43D



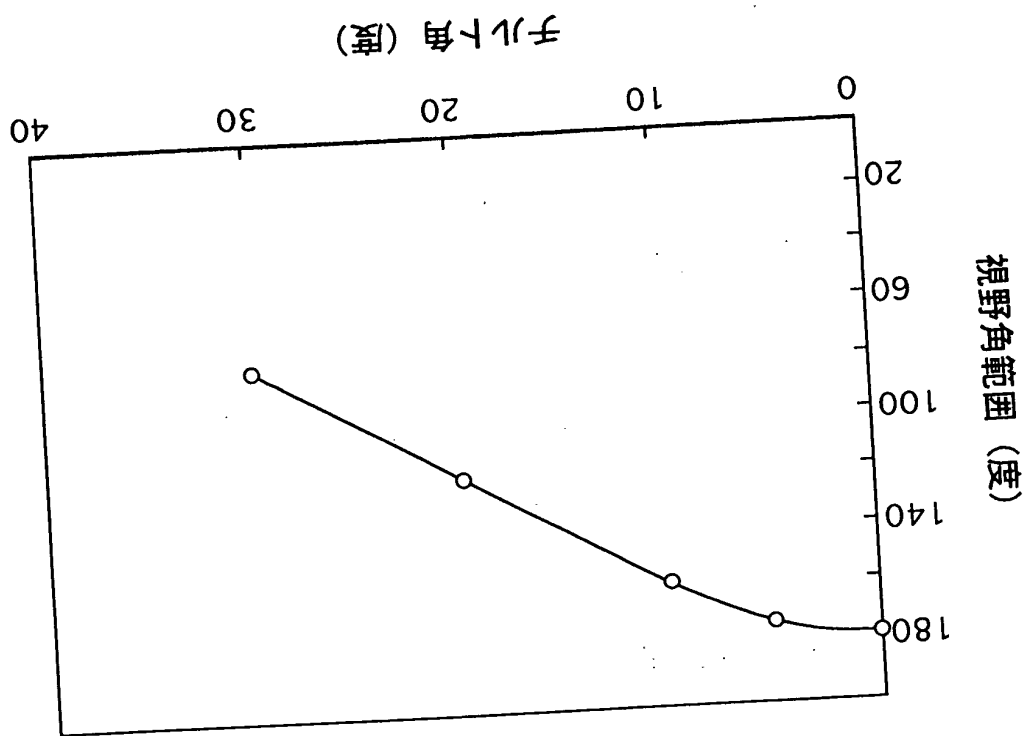


FIG.44



501.37242CX2

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): M. OHTA, et al
Serial No.: 09/804,190
Filed: March 13, 2001
For: LATERAL ELECTRIC-FIELD LIQUID CRYSTAL DISPLAY
DEVICE SUITABLE FOR IMPROVEMENT OF APERTURE
RATIO
Group: 2871
Examiner: D. Nguyen

DECLARATION UNDER 37 CFR §1.131

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

I, Kazuhiko Yanagawa, declare and state as follows:

That I am a coinventor of the invention disclosed and claimed in the above-identified patent application and that I am employed by Hitachi, Ltd., the assignee of the above-identified application;

That in order to swear back of U.S. Patent No. 5,977,562 to Hirakata et al, having a U.S. filing date of November 14, 1996, I make the following declarations as to fact showing a completion of the invention described in the above-identified application in Japan at least as of the date of November 14, 1996;

That the above-identified application was originally filed as PCT/JP96/03691 in Japan on December 18, 1996 of which the present application was originally filed as a 371 thereof in the form of an English translation of PCT/JP96/03691;

That Exhibit 1 is a copy of a cover sheet which the inventors prepared for submission to the Patent Department of Hitachi, Ltd. which is first submitted through

the inventors' supervisors and which had as an attachment, a complete disclosure of the invention as prepared by the inventor Ohta including eighty (80) pages of specification and claims and forty-seven (47) sheets of drawings of Figs. 1-44 as represented by Exhibit 2;

That the drawings of Figs. 1-44 of Exhibit 2 are substantially identical to the drawings of Figs. 1-44 in the PCT application, as filed, and that of the drawings of Figs. 1-44 in the above-identified application, and the other application papers are substantially identical, although various pages of Exhibit 2 include handwritten notes which represent changes which were effected prior to the filing of the PCT application (see pages 46 and 76-79, for example);

That attached as Exhibit 3 is a copy of Exhibit 1 with an English translation of portions thereof, wherein the lower left-hand corner indicates the inventor's stamp of the inventor Ohta and the date 8-11.14 represents November 14, 1996 in which the cover sheet and attached documents were submitted to his supervisor on November 14, 1996;

That on the right side of Exhibits 1 and 3, other coinventors names and stamps are shown representing that these coinventors, including myself, had reviewed the attached papers sufficiently to determine their portion of the contribution to the disclosed invention;

That the documents as submitted on November 14, 1996 as represented by Exhibit 2 represented a request for filing a patent thereon and resulted in the filing with due diligence of the PCT application in Japan on December 18, 1996, and the 371 thereof in the U.S. Patent and Trademark Office on June 18, 1999, having the effective date of December 18, 1996, of which the above-identified application is a continuation, with the invention as disclosed and claimed herein being fully supported by the document of Exhibit 2 which was submitted for review on November 14, 1996.

$$\frac{1}{3}$$

339600793.

PA 4-1 知照所有權本部 1995.4

明 細 書

開口率向上に適する横電界方式液晶表示装置

〔技術分野〕

本発明は、アクティブ・マトリクス方式の液晶表示装置に係り、特に、開口率向上に適する広視角特性を有する横電界方式液晶表示装置に関する。

〔背景技術〕

薄膜トランジスタ（TFT）に代表されるアクティブ素子を用いたアクティブマトリクス型液晶表示装置は薄い、軽量という特徴とブラウン管に匹敵する高画質という点から、OA機器等の表示端末として広く普及し始めている。この液晶表示装置の表示方式には、大別して、次の2通りがある。

1つは、透明電極が構成された2つの基板により液晶を挟み込み、透明電極に印加された電圧で動作させ、透明電極を透過し液晶に入射した光を変調して表示する方式であり、現在、普及している製品が全てこの方式を採用している。

また、もう1つは、同一基板上に構成した2つの電極の間の基板面にほぼ平行な電界により液晶を動作させ、2つの電極の隙間から液晶に入射した光を変調して表示する方式であり、視野角が著しく広いという特徴を持ち、アクティブマトリクス型液晶表示装置に関して有望な技術である。

後者の方式の特徴に関しては、特許出願公表平5-505247号公報、特公昭63-21907号公報、特開平6-160878号公報に

記載されている。

しかし、前記後者の従来方式では、不透明な金属電極を櫛歯状に構成しているため、光を透過する開口領域の割合（開口率）が著しく低く、後者の従来方式のアクティブマトリクス型液晶表示装置は、表示画面が暗い、または、表示画面を明るくするために消費電力の大きい明るいバックライトを用いなければならないため、装置の消費電力が増大するという問題があった。

また、別の課題として、後者の従来方式では、金属電極を用いているため、電極での反射率が高く、電極での反射で画面に顔等が写り込み、見づらいという問題もある。

本発明は上記の課題を解決するもので、本発明の目的は、ブラウン管並の視野角を実現できる前記後者の表示方式を用いたアクティブマトリクス型液晶表示装置において、高開口率で明るく、低消費電力で、かつ、低反射で見易いアクティブマトリクス型液晶表示装置を提供することにある。

〔発明の開示〕

前記目的を達成するために、本発明では、第1の構成として、少なくとも画素電極あるいは対向電極の一方が透明電極であり、電界無印加時に暗表示をするノーマリブラックモードにし、かつ、電界無印加時のツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、ツイスト弾性定数が $10 \times 10^{-12} \text{ N}$ （ニュートン）以下であることを特徴とする。

第2の構成として、少なくとも画素電極あるいは対向電極の一方が透明電極であり、電界無印加時に暗表示をするノーマリブラックモードに

し、かつ、電界無印加時のツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、液晶層の上下界面の液晶分子の初期プレチルト角が10度以下で、液晶層内の液晶分子の初期チルト状態がスプレイ状態であることを特徴とする。

第3の構成として、少なくとも画素電極あるいは対向電極の一方が透明電極であり、電界無印加時に暗表示をするノーマリブラックモードにし、かつ、電界無印加時のツイスト可能な液晶層の初期配向状態がホモジニアス配向状態であり、透明電極上の液晶層の液晶分子の平均のチルト角が、電界印加時でも45度未満であることを特徴とする。

第4の構成として、第1ないし第3のいずれかの構成において、少なくとも、画素電極あるいは対向電極に透明電極と不透明金属電極の2重構造を用いる。

第5の構成として、第1ないし第3のいずれかの構成において、隣接する対向電圧信号線が画素内の対向電極によってスルーホールを介して接続される構造を用いる。

第6の構成として、第1ないし第3のいずれかの構成において、対向電極が透明電極からなり、更に、遮光パターンを対向電極と映像信号線間に有する構造を用いる。

第7の構成として、第1、2、3ないし5のいずれかの構成において、対向電極間を電氣的に接続する対向電圧信号線は金属である。

第8の構成として、第1ないし第3のいずれかの構成において、3本以上の対向電極が形成され、その内2本の対向電極が映像信号線に隣接して形成され、映像信号線に隣接して形成された対向電極は不透明である。

第9の構成として、第1ないし第3のいずれかの構成において、透明電極に用いる透明導電膜は、インジウムチンオキサイド（ITO）である。

第10の構成として、第7の構成において、対向電圧信号線は、Cr、Ta、Ti、Mo、W、Alまたはそれらの合金、もしくは、それらを積層したクラッド構造である。

第11の構成として、第7の構成において、対向電圧信号線は、Cr、Ta、Ti、Mo、W、Alまたはそれらの合金の上にインジウムチンオキサイド（ITO）等透明導電膜を積層したクラッド構造である。

第12の構成として、第1ないし第3のいずれかの構成において、前記液晶層の初期ツイット角がほぼ零で、初期配向角は、液晶材料の誘電率異方性 $\Delta\epsilon$ が正であれば、 45° 以上 90° 未満、誘電率異方性 $\Delta\epsilon$ が負であれば、 0° を超え 45° 以下であることを特徴とする。

第1の製造方法として、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層いずれかまたは全てを、画素電極と同工程で形成される透明導電膜で形成する。

第2の製造方法として、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層いずれかまたは全てを、対向電極と同工程で形成される透明導電膜で形成する。

第3の製造方法として、画素電極と対向電極の透明電極を同工程で同時に形成する。

本発明の作用を以下に示す。

まず、第1の構成の作用として、少なくとも画素電極あるいは対向電極の一方を透明にすることにより、その部分の透過光により、明（白）

表示を行う時の最大透過率が向上するため、電極が不透明な場合よりも、より明るい表示を行うことができる。

また、電圧無印加時には、液晶分子は初期のホモジニアス配向状態を保っているため、その状態で暗（黒）表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）と、電極を透明にしても、その部分の光を透過することがないので、良質な暗表示をすることができ、コントラストが向上する。

更に、画素電極と対向電極間に電圧を印加する時は、ツイスト可能な液晶層のツイスト弾性定数が $10 \times 10^{-12} \text{ N}$ （ニュートン）以下であるため、透明導電膜の電極上では、初期配向方向から回転する角度 α が増加し、電極上の透過率が、電極間の透過率と相補的に作用して、実質的に開口率を向上させる。このツイスト弾性定数は、小さい方が好ましい。

一方、ノーマリホワイトモードにすると、電圧印加時に暗表示しなければならないが、電圧印加時には、電極部分は光を完全に遮断できないので、その部分の透過光が、暗表示の透過率を押し上げ、良質な暗表示ができない。そのため、十分なコントラスト比を達成することができない。

また、第2の構成の作用として、少なくとも画素電極あるいは対向電極の一方を透明にすることにより、その部分の透過光により、明（白）表示を行う時の最大透過率が向上するため、電極が不透明な場合よりも、より明るい表示を行うことができる。

また、電圧無印加時には、液晶分子は初期のホモジニアス配向状態を保っているため、その状態で暗（黒）表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）と、電極を透明にしても、

その部分の光を透過することがないので、良質な暗表示をすることができ、コントラストが向上する。

更に、液晶層の上下界面の液晶分子の初期プレチルト角が10度以下で、液晶層内の液晶分子の初期チルト状態がスプレイ状態であるため、液晶層の中央部の液晶分子のチルト角はほぼ零度となり、表示に寄与する液晶層の平均チルト角を低くできるため、電圧印加時でも、電極間および透明電極上での液晶分子のチルト角を低く設定でき、開口率向上と広い視野角を実現できる。

また、第3の構成の作用として、少なくとも画素電極あるいは対向電極の一方を透明にすることにより、その部分の透過光により、明（白）表示を行う時の最大透過率が向上するため、電極が不透明な場合よりも、より明るい表示を行うことができる。

また、電圧無印加時には、液晶分子は初期のホモジニアス配向状態を保っているため、その状態で暗（黒）表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）と、電極を透明にしても、その部分の光を透過することがないので、良質な暗表示をすることができ、コントラストを向上できる。

更に、透明電極上の液晶層の液晶分子の平均のチルト角が、電界印加時でも45度未満であるため、開口率向上と広い視野角を実現できる。

また、第4の構成の作用として、画素電極あるいは対向電極に透明電極と不透明金属電極の2重構造を用いることで、この電極の断線不良を大幅に防止でき、大画面化に有利である。

第5の構成の作用として、隣接する対向電圧信号線が画素内の対向電極によってスルーホールを介して接続される構造を用いることで、各対

向電圧信号線が網目状に電気接続されるため、対向電圧信号線の抵抗を低減でき、断線不良が生じても重大欠陥とならない。

第6の構成の作用として、対向電極が透明電極からなり、更に、遮光パターンを対向電極と映像信号線間に有する構造を用いることで、開口率が向上する。

また、第7の構成の作用として、対向電圧信号線の抵抗を低減することにより、対向電極間の電圧の伝わりを円滑にし、電圧の歪みを低減することにより、水平方向のクロストークを抑制できる。

また、第8の構成の作用として、映像信号線に隣接した対向電極を不透明にすることにより、映像信号に伴うクロストークを抑制する。以下にその理由を示す。

透明対向電極を映像信号線に隣接して形成することにより、映像信号線からの電界（電気力線）は、対向電極に吸収され、映像信号線からの電界が画素電極と対向電極の間の電界に影響を及ぼすことがないので、映像信号に伴うクロストーク、特に基板の上下方向のクロストークの発生が著しく抑制される。しかし、映像信号線に隣接した対向電極上の液晶分子の挙動は、映像信号の変動により、不安定であり、映像信号線に隣接した対向電極を透明にすると、その電極部分の透過光により、クロストークが観測される。したがって、映像信号線に隣接した対向電極を不透明にすることにより、映像信号に伴うクロストークを抑制できる。

また、第9の構成の作用として、透明導電膜はインジウムチンオキサイド（ITO）であり、透過率の向上に適する。

また、第10、11の構成の作用として、対向電圧信号線は、積層したクラッド構造であるため、抵抗値が減少し、断線不良の低減ができる。

また、第12の構成の作用として、液晶層の初期ツイット角がほぼ零で、初期配向角は、液晶材料の誘電率異方性 $\Delta \epsilon$ が正であれば、 45° 以上 90° 未満、誘電率異方性 $\Delta \epsilon$ が負であれば、 0° を超え 45° 以下でなあるため、ドメインの抑制や最大印加電圧の範囲を最適化しコントラストを向上でき、また、応答速度の最適化も行える。

また、第1の製造方法の作用として、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層を画素電極と同時に形成することにより、端子部を対腐食性、対電食性の高い透明電極で覆うことができ、信頼性が向上する。

また、第2の製造方法の作用として、第1の製造方法の作用と同様に、走査信号線端子部、映像信号線端子部、対向電極端子部の最上層の導電層を対向電極と同時に形成することにより、端子部を対腐食性、対電食性の高い透明導電膜で覆うことができ、信頼性が向上する。

また、第3の製造方法の作用として、画素電極と対向電極を同時に透明導電膜で形成することにより、工程を増加させることなく、画素電極と対向電極を透明導電膜で形成することができる。

なお、本発明の液晶表示装置は、画素電極と対向電極のうち少なくともいずれかが透明導電膜で構成されているが、例えば、Richard A. Soref (リチャード エー ソーレフ)、Proceedings of the IEEE (プロシーディング オブ ジ アイトリブルイー)、12月号 1974年、頁1710-1711 (以下、文献1と称する。)に記載がある液晶表示素子の構成とは以下の点で異なる。

文献1では、画素電極と対向電極とに対応する櫛歯電極が透明導電膜で構成されている。

しかし、液晶分子の初期配向状態を形成する際、 SiO （シリコンモノオキサイド）を約85度で斜方蒸着し、各電極と液晶層との界面では、液晶分子にかなり高いプレチルト角を故意に形成させている。このため、文献1のFig. 1 (b) に示すように、初期配向状態で90度ツイストしたホモジニアス配向から、櫛歯電極間に電圧を印加することで、再配向状態として、電極間は基板面に略平行なホモジニアス配向状態と、電極上は基板面に垂直なホメオトロピック配向状態とを形成させる。

しかし、この構成では、電界を増加するにつれ2種類の液晶分子の再配向状態が相補的に作用し、より明るい表示が可能となるが、液晶分子のチルト角を平均的に高くする必要があるため、視野角特性が狭くなるという欠点があった。

一方、本発明の横電界方式の液晶表示装置では、広視野角特性と良好な開口率とを得るため、画素電極と対向電極との間に電圧を印加した場合でも、表示像に寄与する液晶分子の再配向する部分は、できる限り基板面に平行なホモジニアス配向状態を保持させ、透明導電膜の電極上では、初期配向方向から回転する角度 α に対応して、電極上の透過率が、電極間の透過率と相補的に作用して、実質的に開口率を向上させる構成とする。

なお、本明細書では、ホモジニアス配向状態とは、液晶層内の液晶分子が、できる限り基板面あるいは液晶層の界面に平行なチルト（起き上がり）角を有する状態で、より具体的には、基板面あるいは液晶層の界面からのチルト角が45度未満の配向状態とする。したがって、ホメオトロピック配向状態とは、基板面あるいは液晶層の界面からのチルト角が45度を越える場合とする。

F i g. 4 1 Aに、基板面に略平行方向の電界を発生させる電極構成における液晶層内の電位分布の例を示す。

図中の実線は、等電位線であり、電界ベクトルは等電位線に垂直な方向に与えられる。電界ベクトル E は、電極の中心上では基板面に垂直方向の成分 E_y しか発生しないが、中心部以外は基板面に水平方向の成分 E_x も発生する。この水平成分、すなわち横電界成分 E_x が発生している領域では、F i g. 4 1 B及び4 1 Cに示すように、電極間の液晶分子は、初期配向方向 RDR から横電界 E_x 方向に回転角 α だけ回転する。

一方、電極上の液晶分子は、液晶中の弾性場により、電極間の液晶分子の回転につられて回転する。したがって、電極上の中心の液晶分子は横電界は印加されていないが、弾性場により、まわりの液晶分子と同方向に回転する。つまり、回転角 α は、電極間では大きく、電極上では減少し、電極中央部上で最小となる。

この様子をシミュレーションした結果をF i g. 4 2 A～Cに示す。

なお、本例のシミュレーションは、液晶分子の初期ホモジニアス配向状態として、液晶層の初期ツイスト角がほぼ零で、初期配向方向 RDR と印加電界 E_x とのなす初期配向角 $\phi_{LC} = 75$ 度とし、液晶層の上下界面付近の液晶分子の初期プレチルト角を零度に設定し、更に、偏光板の一方の透過軸を前記初期配向方向 RDR と一致させ、他方の偏光板の透過軸を直交させるクロスニコル配置し、複屈折モードで表示をする構成例で行った。

この時の光透過率 T/T_0 は、次式で表される。

$$T/T_0 = \sin^2(2\alpha_{\text{eff}}) \cdot \sin^2(\pi d_{\text{eff}} \cdot \Delta n / \lambda) \cdots (1)$$

ここで、 α_{eff} は、液晶層の実効的な光軸と偏光透過軸とのなす角で、

本例では、液晶分子の回転角 α の液晶層厚み方向の実効値であり、一様な回転を想定した場合の平均値として扱える見かけの値である。

また、 d_{eff} は、複屈折性を有する実効的な液晶層の厚み、 Δn は、屈折率異方性、 λ は、光の波長を示す。

(1) 式において、印加電界 E_x 時には、その強度に応じて α_{eff} の値が増大し、45度の時最大になる。

更に、本例のシミュレーションでは、液晶層のリタデーション $\Delta n \cdot d_{\text{eff}}$ を光の波長 λ の2分の1に選定し複屈折零次モードを実現し、誘電率異方性 $\Delta \epsilon$ は正に設定している。

Fig. 42 Aは、最大付近の明表示がえられる電圧を透明なITO電極に印加した場合の等電位線の状態を示す特性図で、縦軸に液晶層の厚み（厚み4.0 μm ）を、横軸に電極の相対的位置関係を示す。なお、図中の数値は、規格化された電位強度を示す。

また、Fig. 42 BおよびFig. 42 Cは、この等電位線の状態から形成される横電界成分 E_x を印加した時の液晶層内の液晶分子の回転角 α およびチルト（起き上がり）角を示す。

Fig. 42 Cに示すように、電圧印加時でも、電極上液晶分子はほとんど起き上がることなく、本例では、液晶層の厚み方向全てにおいて、チルト角は8°以下であり、更に、Fig. 42 Bに示すように、電極上の液晶分子も、液晶層の中央付近では、約15～35°回転している。

なお、Fig. 42 Cに示すチルト角の符号は、便宜上、図面において、右上がりの起き上がりを正に、左上がりの起き上がりを負としている。したがって、本発明の方式では、電極上でも液晶分子の回転角 α が

変化し透過率を変化させることができるのである。

この動作と最も関係があるのが、液晶のツイスト弾性定数 K_2 であり、このツイスト弾性定数 K_2 は、小さいほうが好ましく、小さいほど電極上の液晶分子は、電極間の液晶分子の影響を受け、電極間の液晶分子の回転角 α に近づくように回転する。

Fig. 41Dに、ツイスト弾性定数 K_2 を約 $1.0 \times 10^{-12} \text{ N}$ （ニュートン）とする場合の電極上および電極間の透過率の分布を模式的に示す。

電極が透明である場合は、前述した電極上の液晶分子の再配向動作により、電極間のA部分の透過率の平均透過率の5～30%が、電極上でのB部分の透過率の平均値透過率となる。

また、後述するように、ツイスト弾性定数 K_2 を $2.0 \times 10^{-12} \text{ N}$ （ニュートン）以下にすれば、電極間のA部分の透過率の平均透過率の50%以上が、電極上でのB部分の透過率の平均値透過率となることが分かった。したがって、全体部分の平均透過率は、A+B部分の透過率の平均値透過率となり、引き上げられる。

つまり、従来全く光を透過させない金属層で構成されたものと比べて各画素当りの開口率を実質的に向上させることができるようになる。

本例のシミュレーションでは、初期プレチルト角を零度に設定して計算しているが、実際は、液晶層の配向膜との界面付近の初期プレチルト角が約10度以下、好ましくは6度以下にラビング処理にて設定することが必要である。また、後述する実施例では、約5度に設定している。

このような範囲に初期プレチルト角を設定することで、液晶層界面の液晶分子を基板面内方向に規制することができ、電界印加時でも電極上

の液晶層の平均チルト角は、45度未満を維持できることになる。つまり、電界印加時でも、電極上の液晶が、いわゆるホメオトロピック配向となることを防止できる。

Fig. 44は、横電界方式の液晶表示装置において、液晶層内の液晶分子のチルト角と、全方位でコントラスト比が10以上となる視野角範囲を示すシミュレーション結果の特性図の一例である。

すなわち、チルト角が、30度程度であれば、表示面に対して垂直方向から約40度傾斜した視野角範囲内の全方位でコントラスト比が10以上となり、ほぼ、従来の縦電界方式の液晶表示装置と同等の特性が得られる。更に、チルト角を小さくするにつれ、視野角範囲は拡大し、10度程度であれば、約80度傾斜した視野角範囲内まで、5度以下であれば、ほぼ全域まで広がり、広視野角特性が得られる。

本実施例では、電界無印加時および電界印加時の電極間および透明電極上の液晶層内の液晶分子の平均チルト角を常に低減するため、後述する配向膜ORI1、ORI2のラビング方向は、2枚の基板SUB1、SUB2側の液晶層の界面の液晶分子の初期プレチルト角がスプレイ状態となる様に初期配向状態を設定し、液晶層の中央部付近の液晶分子ができるかぎり界面と平行になるようにする。

〔図面の簡単な説明〕

Fig. 1は、本発明の実施例1のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 2は、Fig. 1の3-3切断線における画素の断面図である。

Fig. 3は、Fig. 1の4-4切断線における薄膜トランジスタ素子TFTの断面図である。

Fig. 4は、Fig. 1の5-5切断線における蓄積容量Cstgの断面図である。

Fig. 5は、表示パネルのマトリクス周辺部の構成を説明するための平面図である。

Fig. 6は、左側に走査信号端子、右側に外部接続端子の無いパネル縁部分を示す断面図である。

Fig. 7Aは、ゲート端子GTMとゲート配線GLの接続部近辺を示す平面図と、Fig. 7Bは、その断面図である。

Fig. 8Aは、ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面図と、Fig. 8Bは、その断面図である。

Fig. 9Aは、共通電極端子CTM、共通バスラインCBおよび共通電圧信号線CLの接続部付近を示す平面図と、Fig. 9Bは、その断面図である。

Fig. 10は、本発明のアクティブ・マトリクス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

Fig. 11は、本発明のアクティブ・マトリクス型カラー液晶表示装置の駆動波形を示す図である。

Fig. 12は、基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

Fig. 13は、基板SUB1側の工程D～Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

Fig. 14は、基板SUB1側の工程G～Hの製造工程を示す画素

部とゲート端子部の断面図のフローチャートである。

Fig. 15は、液晶表示パネルに周辺の駆動回路を実装した状態を示す上面図である。

Fig. 16は、駆動回路を構成する集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図である。

Fig. 17は、テープキャリアパッケージTCPを液晶表示パネルPNLの走査信号回路用端子GTMに接続した状態を示す要部断面図である。

Fig. 18は、液晶表示モジュールの分解斜視図である。

Fig. 19は、印加電界方向、ラビング方向、偏光板透過軸の関係を示す図である。

Fig. 20は、本発明の実施例2のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 21は、本発明の実施例3のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 22は、本発明の実施例4のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 23は、本発明の実施例5のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 24 A～Cは、本発明の実施例6のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図及び断面図である。

Fig. 25は、本発明の実施例7のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 26は、Fig. 25の6-6切断線における断面図である。

Fig. 27は、Fig. 25の7-7切断線における薄膜トランジスタ素子TFTの断面図である。

Fig. 28は、Fig. 25の8-8切断線における蓄積容量 C_{stg} の断面図である。

Fig. 29 Aは、ゲート端子GTMとゲート配線GLの接続部近辺を示す平面図と、Fig. 29 Bは、その断面図である。

Fig. 30 Aは、ドレイン端子DTMと映像信号線DLとの接続部付近を示す平面図と、Fig. 30 Bは、その断面図である。

Fig. 31 Aは、共通電極端子CTM1、共通バスラインCB1および共通電圧信号線CLの接続部付近を示す平面図と、Fig. 31 Bは、その断面図である。

Fig. 32 Aは、共通電極端子CTM2、共通バスラインCB2および共通電圧信号線CLの接続部付近を示す平面図と、Fig. 32 Bは、その断面図である。

Fig. 33は、本発明のアクティブ・マトリックス型カラー液晶表示装置のマトリクス部とその周辺を含む回路図である。

Fig. 34は、本発明のアクティブ・マトリックス型カラー液晶表

示装置の駆動波形を示す図である。

Fig. 35は、基板SUB1側の工程A～Cの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

Fig. 36は、基板SUB1側の工程D～Eの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

Fig. 37は、基板SUB1側の工程Fの製造工程を示す画素部とゲート端子部の断面図のフローチャートである。

Fig. 38は、本発明の実施例8のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 39は、本発明の実施例9のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 40は、本発明の実施例10のアクティブ・マトリックス型カラー液晶表示装置の液晶表示部の一画素とその周辺を示す要部平面図である。

Fig. 41A～Dは、本発明の原理を示す図で、Fig. 41Aは、電極に電圧を印加した時の液晶層内の電位分布を示す特性図、Fig. 41Bは、液晶層の中央部付近の液晶分子の再配向状態を示す平面図、Fig. 41Cは、Fig. 41Bに示す液晶分子の回転角 α を示す特性図、Fig. 41Dは、上下偏光板、上下基板、電極上および電極間の液晶層を透過する光の透過率分布を示す特性図の一例である。

Fig. 42は、本発明の原理を示す図で、Fig. 42Aは、電圧を透明電極に印加した場合の等電位線の状態を示す特性図、Fig. 4

2 BおよびF i g. 4 2 Cは、電界印加した時の液晶層内の液晶分子の回転角 α およびチルト（起き上がり）角を示す図の一例である。

F i g. 4 3は、本発明の実施例11のアクティブ・マトリックス型カラー液晶表示装置の開口率向上の原理を示す図で、F i g. 4 3 Aは、電極に電圧を印加した時の液晶層内の電位分布を示す特性図、F i g. 4 3 Bは、液晶層の中央部付近の液晶分子の再配向状態を示す平面図、F i g. 4 3 Cは、F i g. 4 3 Bに示す液晶分子の回転角 α を示す特性図、F i g. 4 3 Dは、上下偏光板、上下基板、電極上および電極間の液晶層を透過する光の透過率分布を示す特性図の一例である。

F i g. 4 4は、横電界方式の液晶表示装置において、液晶層内の液晶分子のチルト角と全方位でコントラスト比が10以上となる視野角範囲を示すシミュレーション結果の特性図の一例である。

〔発明を実施するための最良の形態〕

本発明、本発明の更に他の目的及び本発明の更に他の特徴は図面を参照した以下の説明から明らかとなるであろう。

（実施例1）

《アクティブ・マトリクス液晶表示装置》

以下、アクティブ・マトリクス方式のカラー液晶表示装置に本発明を適用した実施例を説明する。なお、以下説明する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

《マトリクス部（画素部）の平面構成》

F i g. 1は本発明のアクティブ・マトリクス方式カラー液晶表示装置の画素とその周辺を示す平面図である。（図の斜線部分は透明導電膜g 2を示す。）

Fig. 1に示すように、各画素は走査信号線（ゲート信号線または水平信号線）GLと、対向電圧信号線（対向電極配線）CLと、隣接する2本の映像信号線（ドレイン信号線または垂直信号線）DLとの交差領域内（4本の信号線で囲まれた領域内）に配置されている。各画素は薄膜トランジスタTFT、蓄積容量Cstg、画素電極PXおよび対向電極CTを含む。走査信号線GL、対向電圧信号線CLは図では左右方向に延在し、上下方向に複数本配置されている。映像信号線DLは上下方向に延在し、左右方向に複数本配置されている。画素電極PXはソース電極SD1を介して薄膜トランジスタTFTと接続され、対向電極CTは対向電圧信号線CLと一体になっている。

映像信号線DLに沿って上下に隣接する2画素では、Fig. 1のA線で折曲げたとき、平面構成が重なり合う構成となっている。これは、対向電圧信号線CLを映像信号線DLに沿って上下に隣接する2画素で共通化し、対向電圧信号線CLの電極幅を拡大することにより、対向電圧信号線CLの抵抗を低減するためである。これにより、外部回路から左右方向の各画素の対向電極CTへ対向電圧を十分に供給することが容易になる。

画素電極PXと対向電極CTは互いに対向し、各画素電極PXと対向電極CTとの間の電界により液晶LCの光学的な状態を制御し、表示を制御する。画素電極PXと対向電極CTは櫛歯状に構成され、それぞれ、図の上下方向に長細い電極となっている。

1画素内の対向電極CTの本数O（櫛歯の本数）は、画素電極PXの本数（櫛歯の本数）Pと $O = P + 1$ の関係を必ず持つように構成する（本実施例では、 $O = 3$ 、 $P = 2$ ）。これは、対向電極CTと画素電極PX

を交互に配置し、かつ、対向電極CTを映像信号線DLに必ず隣接させるためである。これにより、対向電極CTと画素電極PXの間の電界が、映像信号線DLから発生する電界から影響を受けないように、対向電極CTで映像信号線DLからの電気力線をシールドすることができる。対向電極CTは、後述の対向電圧信号線CLにより常に外部から電位を供給されているため、電位は安定している。そのため、映像信号線DLに隣接しても、電位が変動がほとんどない。また、これにより、画素電極PXの映像信号線DLからの幾何学的な位置が遠くなるので、画素電極PXと映像信号線DLの間の寄生容量が大幅に減少し、画素電極電位 V_s の映像信号電圧による変動も抑制できる。これらにより、上下方向に発生するクロストーク（縦スミアと呼ばれる画質不良）を抑制することができる。

画素電極PXと対向電極CTの電極幅はそれぞれ $6\mu\text{m}$ とする。これは、液晶層の厚み方向に対して、液晶層全体に十分な電界を印加するために、後述の液晶層の厚み $3.9\mu\text{m}$ よりも十分大きく設定し、かつ開口率を大きくするためにできるだけ細くする。また、映像信号線DLの電極幅は断線を防止するために、画素電極PXと対向電極CTに比較して若干広く $8\mu\text{m}$ とする。ここで、映像信号線DLの電極幅が、隣接する対向電極CTの電極幅の2倍以下になるように設定する。または、映像信号線DLの電極幅が歩留りの生産性から決まっている場合には、映像信号線DLに隣接する対向電極CTの電極幅を映像信号線DLの電極幅の $1/2$ 以上にする。これは、映像信号線DLから発生する電気力線をそれぞれ両脇の対向電極CTで吸収するためであり、ある電極幅から発生する電気力線を吸収するには、それと同一幅以上の電極幅を持

つ電極が必要である。したがって、映像信号線DLの電極の半分 ($4\mu\text{m}$ ずつ) から発生する電気力線をそれぞれ両脇の対向電極CTが吸収しなければよいため、映像信号線DLに隣接する対向電極CTの電極幅が $1/2$ 以上とする。これにより、映像信号の影響により、クロストークが発生する、特に上下方向 (縦方向のクロストーク) を防止する。

走査信号線GLは末端側の画素 (後述の走査電極端子GTMの反対側) のゲート電極GTに十分に走査電圧が印加するだけの抵抗値を満足するように電極幅を設定する。また、対向電圧信号線CLも末端側の画素 (後述の共通バスラインCBの反対側) の対向電極CTに十分に対向電圧が印加できるだけの抵抗値を満足するように電極幅を設定する。

一方、画素電極PXと対向電極CTの間の電極間隔は、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いる映像信号駆動回路 (信号側ドライバ) の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。後述の液晶材料を用いると電極間隔は、 $16\mu\text{m}$ となる。

《マトリクス部 (画素部) の断面構成》

Fig. 2はFig. 1の3-3切断線における断面を示す図、Fig. 3はFig. 1の4-4切断線における薄膜トランジスタTFTの断面図、Fig. 4はFig. 1の5-5切断線における蓄積容量Cstgの断面を示す図である。Fig. 2~Fig. 4に示すように、液晶層LCを基準にして下部透明ガラス基板SUB1側には薄膜トランジスタTFT、蓄積容量Cstgおよび電極群が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリ

クスパターンBMが形成されている。

また、透明ガラス基板SUB 1、SUB 2のそれぞれの内側（液晶LC側）の表面には、液晶の初期配向を制御する配向膜ORI 1、ORI 2が設けられており、透明ガラス基板SUB 1、SUB 2のそれぞれの外側の表面には、偏光軸が直交して配置された（クロスニコル配置）偏光板が設けられている。

《TFT基板》

まず、下側透明ガラス基板SUB 1側（TFT基板）の構成を詳しく説明する。

《薄膜トランジスタTFT》

薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソースドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

薄膜トランジスタTFTは、Fig. 3に示すように、ゲート電極GT、ゲート絶縁膜GI、i型（真性、intrinsic、導電型決定不純物がドーピングされていない）非晶質シリコン（Si）からなるi型半導体層AS、一对のソース電極SD 1、ドレイン電極SD 2を有す。なお、ソース、ドレインは本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース、ドレインは動作中入れ替わると理解されたい。しかし、以下の説明では、便宜上一方をソース、他方をドレインと固定して表現する。

《ゲート電極GT》

ゲート電極GTは走査信号線GLと連続して形成されており、走査信号線GLの一部の領域がゲート電極GTとなるように構成されている。

ゲート電極GTは薄膜トランジスタTFETの能動領域を超える部分であり、i型半導体層ASを完全に覆うよう（下方からみて）それより大き目に形成されている。これにより、ゲート電極GTの役割のほかに、i型半導体層ASに外光やバックライト光が当たらないように工夫されている。本例では、ゲート電極GTは、単層の導電膜g1で形成されている。導電膜g1としては例えばスパッタで形成されたアルミニウム（Al）膜が用いられ、その上にはAlの陽極酸化膜AOFが設けられている。

《走査信号線GL》

走査信号線GLは導電膜g1で構成されている。この走査信号線GLの導電膜g1はゲート電極GTの導電膜g1と同一製造工程で形成され、かつ一体に構成されている。この走査信号線GLにより、外部回路からゲート電圧 V_g をゲート電極GTに供給する。また、走査信号線GL上にもAlの陽極酸化膜AOFが設けられている。なお、映像信号線DLと交差する部分は映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。

《対向電極CT》

対向電極CTはゲート電極GTおよび走査信号線GLと同層の導電膜g1で構成されている。また、対向電極CT上にもAlの陽極酸化膜AOFが設けられている。対向電極CTには対向電圧 V_{com} が印加されるように構成されている。本実施例では、対向電圧 V_{com} は映像信号線DLに印加される最小レベルの駆動電圧 V_{dmin} と最大レベルの駆動電圧 V_{dmax} との中間直流電位から、薄膜トランジスタ素子T

FTをオフ状態にするときに発生するフィードスルー電圧 ΔV_s 分だけ低い電位に設定されるが、映像信号駆動回路で使用される集積回路の電源電圧を約半分に低減したい場合は、交流電圧を印加すれば良い。

《対向電圧信号線CL》

対向電圧信号線CLは導電膜g1で構成されている。この対向電圧信号線CLの導電膜g1はゲート電極GT、走査信号線GLおよび対向電極CTの導電膜g1と同一製造工程で形成され、かつ対向電極CTと一体に構成されている。この対向電圧信号線CLにより、外部回路から対向電圧 V_{com} を対向電極CTに供給する。また、対向電圧信号線CL上にもAlの陽極酸化膜AOFが設けられている。なお、映像信号線DLと交差する部分は、走査信号線GLと同様に映像信号線DLとの短絡の確率を小さくするため細くし、また、短絡しても、レーザートリミングで切り離すことができるように二股にしている。

《絶縁膜GI》

絶縁膜GIは、薄膜トランジスタTFTにおいて、ゲート電極GTと共に半導体層ASに電界を与えるためのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIとしては例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、1200～2700Åの厚さに（本実施例では、2400Å程度）形成される。ゲート絶縁膜GIは、マトリクス部ARの全体を囲むように形成され、周辺部は外部接続端子DTM、GTMを露出するよう除去されている。絶縁膜GIは走査信号線GLおよび対向電圧信号線CLと映像信号線DLの電氣的絶縁にも寄与している。

《i型半導体層AS》

i 型半導体層ASは、非晶質シリコンで、 $200 \sim 2200 \text{ \AA}$ の厚さに（本実施例では、 2000 \AA 程度の膜厚）で形成される。層d0はオーミックコンタクト用のリン（P）をドーパしたN(+)型非晶質シリコン半導体層であり、下側にi 型半導体層ASが存在し、上側に導電層d1（d2）が存在するところのみに残されている。

i 型半導体層ASは走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの交差部（クロスオーバー部）の両者間にも設けられている。この交差部のi 型半導体層ASは交差部における走査信号線GLおよび対向電圧信号線CLと映像信号線DLとの短絡を低減する。

《ソース電極SD1、ドレイン電極SD2》

ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する導電膜d1とその上に形成された導電膜d2とから構成されている。

導電膜d1はスパッタで形成したクロム（Cr）膜を用い、 $500 \sim 1000 \text{ \AA}$ の厚さに（本実施例では、 600 \AA 程度）で形成される。Cr膜は膜厚を厚く形成するとストレスが大きくなるので、 2000 \AA 程度の膜厚を越えない範囲で形成する。Cr膜はN(+)型半導体層d0との接着性を良好にし、導電膜d2のAlがN(+)型半導体層d0に拡散することを防止する（いわゆるバリア層の）目的で使用される。導電膜d1として、Cr膜の他に高融点金属（Mo、Ti、Ta、W）膜、高融点金属シリサイド（ MoSi_2 、 TiSi_2 、 TaSi_2 、 WSi_2 ）膜を用いてもよい。

導電膜d2はAlのスパッタリングで $3000 \sim 5000 \text{ \AA}$ の厚さに（本実施例では、 4000 \AA 程度）形成される。Al膜はCr膜に比

べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減したり、ゲート電極GTやi型半導体層ASに起因する段差乗り越えを確実にする（ステップカバーレッジを良くする）働きがある。

導電膜d1、導電膜d2を同じマスクパターンでパターニングした後、同じマスクを用いて、あるいは導電膜d1、導電膜d2をマスクとして、N(+)型半導体層d0が除去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は導電膜d1、導電膜d2以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さ分は全て除去されるようエッチングされるので、i型半導体層ASも若干その表面部分がエッチングされるが、その程度はエッチング時間で制御すればよい。

《映像信号線DL》

映像信号線DLはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。また、映像信号線DLはドレイン電極SD2と一体に形成されている。

《画素電極PX》

画素電極PXは、透明導電層g2で形成されている。この透明導電膜g2はスパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、100～2000Åの厚さに（本実施例では、1400Å程度の膜厚）形成される。

画素電極が本実施例のように透明になることにより、その部分の透過光により、白表示を行う時の最大透過率が向上するため、画素電極が不透明な場合よりも、より明るい表示を行うことができる。この時、後述

するように、電圧無印加時には、液晶分子は初期の配向状態を保ち、その状態で黒表示をするように偏光板の配置を構成する（ノーマリブラックモードにする）にしているので、画素電極を透明にしても、その部分の光を透過することがなく、良質な黒を表示することができる。これにより、最大透過率が向上させ、かつ十分なコントラスト比を達成することができる。

《蓄積容量 C_{stg} 》

画素電極 PX は、薄膜トランジスタ TFT と接続される端部と反対側の端部において、対向電圧信号線 CL と重なるように形成されている。この重ね合わせは、*Fig. 4* から明らかなように、画素電極 PX を一方の電極 $PL2$ とし、対向電圧信号 CL を他方の電極 $PL1$ とする蓄積容量（静電容量素子） C_{stg} を構成する。この蓄積容量 C_{stg} の誘電体膜は、薄膜トランジスタ TFT のゲート絶縁膜として使用される絶縁膜 GI および陽極酸化膜 AOF で構成されている。

Fig. 1 に示すように平面的には蓄積容量 C_{stg} は対向電圧信号線 CL の導電膜 $g1$ の幅を広げた部分に形成されている。

《保護膜 $PSV1$ 》

薄膜トランジスタ TFT 上には保護膜 $PSV1$ が設けられている。保護膜 $PSV1$ は主に薄膜トランジスタ TFT を湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜 $PSV1$ はたとえばプラズマ CVD 装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、 $1\mu m$ 程度の膜厚で形成する。

保護膜 $PSV1$ は、マトリクス部 AR の全体を囲むように形成され、周辺部は外部接続端子 DTM 、 GTM を露出するよう除去されている。

保護膜P S V 1とゲート絶縁膜G Iの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンス g_m を薄くされる。従って、保護効果の高い保護膜P S V 1は周辺部もできるだけ広い範囲に亘って保護するようゲート絶縁膜G Iよりも大きく形成されている。

《カラーフィルタ基板》

次に、F i g. 1、F i g. 2に戻り、上側透明ガラス基板S U B 2側（カラーフィルタ基板）の構成を詳しく説明する。

《遮光膜B M》

上部透明ガラス基板S U B 2側には、不要な間隙部（画素電極P Xと対向電極C Tの間以外の隙間）からの透過光が表示面側に出射して、コントラスト比等を低下させないように遮光膜B M（いわゆるブラックマトリクス）を形成している。遮光膜B Mは、外部光またはバックライト光がi型半導体層A Sに入射しないようにする役割も果たしている。すなわち、薄膜トランジスタT F Tのi型半導体層A Sは上下にある遮光膜B Mおよび大き目のゲート電極G Tによってサンドイッチにされ、外部の自然光やバックライト光が当たらなくなる。

F i g. 1に示す遮光膜B Mの閉じた多角形の輪郭線は、その内側が遮光膜B Mが形成されない開口を示している。この輪郭線のパターンは、1例であり、より開口部分を大きくする場合には、F i g. 1の点線の遮光膜B M 1の様にすることもできる。F i g. 1中の拡大された領域は電界方向が乱れるが、その部分の表示は、画素内の映像情報に1対1で対応し、かつ、黒の場合には黒、白の場合には白になるため、表示の一部として利用することが可能である。また、図の上下方向の境界線は

上下基板の合わせ精度によって決まり、合わせ精度が映像信号線DLに隣接する対向電極CTの電極幅よりも良い場合には、対向電極の幅の間に設定れば、より開口部を拡大することができる。

遮光膜BMは光に対する遮蔽性を有し、かつ、画素電極PXと対向電極CTの間の電界に影響を与えないように絶縁性の高い膜で形成されており、本実施例では黒色の顔料をレジスト材に混入し、 $1.2\mu\text{m}$ 程度の厚さで形成している。

遮光膜BMは各画素の周囲に格子状に形成され、この格子で1画素の有効表示領域が仕切られている。従って、各画素の輪郭が遮光膜BMによってはっきりとする。つまり、遮光膜BMは、ブラックマトリクスとi型半導体層ASに対する遮光との2つの機能をもつ。

遮光膜BMは周辺部にも額縁状に形成され、そのパターンはドット状に複数の開口を設けたFig. 1に示すマトリクス部のパターンと連続して形成されている。周辺部の遮光膜BMは、シール部SLの外側に延長され、パソコン等の実装機に起因する反射光等の漏れ光がマトリクス部に入り込むのを防いでいる。他方、この遮光膜BMは基板SUB2の縁よりも約 $0.3\sim 1.0\text{mm}$ 程内側に留められ、基板SUB2の切断領域を避けて形成されている。

《カラーフィルタFIL》

カラーフィルタFILは画素に対向する位置に赤、緑、青の繰り返しでストライプ状に形成される。カラーフィルタFILは遮光膜BMのエッジ部分と重なるように形成されている。

カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面にアクリル系樹脂等の染色基材を形

成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

《オーバーコート膜OC》

オーバーコート膜OCはカラーフィルタFILの染料の液晶LCへの漏洩の防止、および、カラーフィルタFIL、遮光膜BMによる段差の平坦化のために設けられている。オーバーコート膜OCはたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

《液晶層および偏向板》

次に、液晶層、配向膜、偏光板等について説明する。

《液晶層》

液晶材料LCとしては、誘電率異方性 $\Delta\epsilon$ が正でその値が13.2、屈折率異方性 Δn が0.081 (589nm、20℃)のネマティック液晶を用いる。液晶層の厚み(ギャップ)は、3.9 μm とし、リタデーション $\Delta n \cdot d$ は0.316とする。このリタデーション $\Delta n \cdot d$ の値により、後述の配向膜と偏光板と組み合わせ、液晶分子がラビング方向から電界方向に45°回転したとき最大透過率を得ることができ、可視光の範囲ないで波長依存性がほとんどない透過光を得ることができる。

なお、液晶層の厚み(ギャップ)は、ポリマビーズで制御している。

なお、液晶材料LCは、特に限定したものではなく、誘電率異方性 $\Delta\epsilon$ は負でもよい。また、誘電率異方性 $\Delta\epsilon$ は、その値が大きいほうが、駆動電圧が低減できる。また、屈折率異方性 Δn は小さいほうが、液晶層の厚み(ギャップ)を厚くでき、液晶の封入時間が短縮され、かつギ

ャップばらつきを少なくすることができる。

また、液晶材料の材料物性と透明導電膜の対向電極部分あるいは画素電極部分での透過光強度の関係を調べると、液晶材料のツイスト弾性定数 K_2 に大きく依存することが分かった。これは電極間の開口部において光透過をもたらす横電界による面内ツイスト変形の、透明導電膜の電極上部での減衰が、上記の液晶材料のツイスト弾性定数 K_2 に応じた固有の曲率で生じるためである。したがって、透明導電膜の電極部分での光透過をより大きくして、この透明導電膜の電極を含んだ開口部全体の輝度を向上させるには、ツイスト弾性定数 K_2 の小さな液晶材料を用いて、上記の減衰曲率を小さくすればよい。ツイスト弾性定数 K_2 の効果については、実施例11で更に記載する。

本実施例1では、ツイスト弾性定数 K_2 として、 $5.1 \times 10^{-12} \text{ N}$ （ニュートン）を使用している。

《配向膜》

配向膜ORIとしては、ポリイミドを用いる。ラビング方向は上下基板で互いに平行にし、初期配向方向RDRと印加電界方向EDR（ E_x ）とのなす初期配向角 ϕ_{LC} は 75° とする。Fig. 19にその関係を示す。

なお、初期配向方向RDRと印加電界方向EDRとのなす初期配向角 ϕ_{LC} は、液晶材料の誘電率異方性 $\Delta\epsilon$ が正であれば、 45° 以上 90° 未満、誘電率異方性 $\Delta\epsilon$ が負であれば、 0° を超え 45° 以下でなければならない。

さらに、本実施例では、ラビング方向を配向膜ORI1、ORI2で互いに平行することで、電極間及び電極上の表示に寄与する液晶層の上

下界面の液晶分子の初期プレチルト角が、スプレイ状態となり、液晶分子が互いに光学特性を補償する効果を出し、広い視野角特性が得られる。

また、ラビング方向を配向膜ORI 1、ORI 2で互いに反平行することで、液晶層の上下界面の液晶分子のプレチルト角が平行状態となり、平均の液晶層内のチルト角は、より増加するが、10度以下にプレチルト角を設定することで、本発明の同様な効果が得られる。

《偏光板》

偏光板POLとしては、日東電工社製G1220DUを用い、下側の偏光板POL 1の偏光透過軸MAX 1をラビング方向RDRと一致させ、上側の偏光板POL 2の偏光透過軸MAX 2を、それに直交させる。Fig. 19にその関係を示す。これにより、本発明の画素に印加される電圧（画素電極PXと対向電極CTの間の電圧）を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができ、また、電圧無印加時には、良質な黒表示ができる。

また、偏光板POL 2自体には、外部からの静電気の影響を防止するため、その比抵抗値を低減する目的で、透明導電膜が一面に形成されている。この透明導電膜は、上基板SUB 2と上偏光板POL 2との間に形成しても良い。

《マトリクス周辺の構成》

Fig. 5は上下のガラス基板SUB 1、SUB 2を含む表示パネルPNLのマトリクス（AR）周辺の要部平面を示す図である。また、Fig. 6は、左側に走査回路が接続されるべき外部接続端子GTM付近の断面を、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

このパネルの製造では、小さいサイズであればスループット向上のため1枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のためどの品種でも標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくし、いずれの場合も一通りの工程を経てからガラスを切断する。Fig. 5、Fig. 6は後者の例を示すもので、Fig. 5、Fig. 6の両図とも上下基板SUB 1、SUB 2の切断後を表しており、LNは両基板の切断前の縁を示す。いずれの場合も、完成状態では外部接続端子群T_g、T_dおよび端子COT（添字略）が存在する（図で上辺と左辺の）部分はそれらを露出するように上側基板SUB 2の大きさが下側基板SUB 1よりも内側に制限されている。端子群T_g、T_dはそれぞれ後述する走査回路接続用端子G_{TM}、映像信号回路接続用端子D_{TM}とそれらの引出配線部を集積回路チップCHIが搭載されたテープキャリアパッケージTCP（Fig. 16、Fig. 17）の単位に複数本まとめて名付けたものである。各群のマトリクス部から外部接続端子部に至るまでの引出配線は、両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子D_{TM}、G_{TM}を合わせるためである。また、対向電極端子C_{TM}は、対向電極CTに対向電圧を外部回路から与えるための端子である。マトリクス部の対向電圧信号線CLは、走査回路用端子G_{TM}の反対側（図では右側）に引き出し、各対向電圧信号線を共通バスラインCBで一纏めにして、対向電極端子C_{TM}に接続している。

透明ガラス基板SUB 1、SUB 2の間にはその縁に沿って、液晶封

入口 I N J を除き、液晶 L C を封止するようにシールパターン S L が形成される。シール材は例えばエポキシ樹脂から成る。

配向膜 O R I 1、O R I 2 の層は、シールパターン S L の内側に形成される。偏光板 P O L 1、P O L 2 はそれぞれ下部透明ガラス基板 S U B 1、上部透明ガラス基板 S U B 2 の外側の表面に構成されている。液晶 L C は液晶分子の向きを設定する下部配向膜 O R I 1 と上部配向膜 O R I 2 との間でシールパターン S L で仕切られた領域に封入されている。下部配向膜 O R I 1 は下部透明ガラス基板 S U B 1 側の保護膜 P S V 1 の上部に形成される。

この液晶表示装置は、下部透明ガラス基板 S U B 1 側、上部透明ガラス基板 S U B 2 側で別個に種々の層を積み重ね、シールパターン S L を基板 S U B 2 側に形成し、下部透明ガラス基板 S U B 1 と上部透明ガラス基板 S U B 2 とを重ね合わせ、シール材 S L の開口部 I N J から液晶 L C を注入し、注入口 I N J をエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

《ゲート端子部》

F i g . 7 A は表示マトリクス of 走査信号線 G L からその外部接続端子 G T M までの接続構造を示す平面図であり、F i g . 7 B は、F i g . 7 A の B - B 切断線における断面を示している。なお、同図は F i g . 5 右中央付近に対応し、斜め配線の部分は便宜状一直線状で表した。

A O はホトレジスト直接描画の境界線、言い換えれば選択的陽極酸化のホトレジストパターンである。従って、このホトレジストは陽極酸化後除去され、図に示すパターン A O は完成品としては残らないが、ゲート配線 G L には断面図に示すように酸化膜 A O F が選択的に形成され

るのでその軌跡が残る。平面図において、ホトレジストの境界線AOを基準にして左側はレジストで覆い陽極酸化をしない領域、右側はレジストから露出され陽極酸化される領域である。陽極酸化されたAL層g1は表面にその酸化物 Al_2O_3 膜AOFが形成され下方の導電部は体積が減少する。勿論、陽極酸化はその導電部が残るように適切な時間、電圧などを設定して行われる。

図中AL層g1は、判り易くするためハッチを施してあるが、陽極化されない領域は櫛状にパターンニングされている。これは、Al層の幅が広いと表面にホイスカが発生するので、1本1本の幅は狭くし、それらを複数本並列に束ねた構成とすることにより、ホイスカの発生を防ぎつつ、断線の確率や導電率の犠牲を最低限に押さえる狙いである。

ゲート端子GTMはAl層g1と、更にその表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電層g2とで構成されている。この透明導電膜g2は画素電極PXと同一工程で形成された透明導電膜ITOを用いている。またAl層g1上及びその側面部に形成された導電層d1及びd2は、Al層と透明導電層g2との接続不良を補うために、Al層と透明導電層g2の両方に接続性の良いCr層d1を接続し、接続抵抗の低減を図るためのものであり、導電層d2は導電層d1と同一マスク形成しているために残っているものである。

平面図において、ゲート絶縁膜GIはその境界線よりも右側に、保護膜PSV1もその境界線よりも右側に形成されており、左端に位置する端子部GTMはそれらから露出し外部回路との電氣的接触ができるようになっている。図では、ゲート線GLとゲート端子の一つの対のみが

示されているが、実際はこのような対が F i g. 7 A、B に示すように上下に複数本並べられ端子群 T g (F i g. 5) が構成され、ゲート端子の左端は、製造過程では、基板の切断領域を越えて延長され配線 S H g (図示せず) によって短絡される。製造過程におけるこのような短絡線 S H g は陽極化成時の給電と、配向膜 O R I 1 のラビング時等の静電破壊防止に役立つ。

《ドレイン端子 D T M》

F i g. 8 A は映像信号線 D L からその外部接続端子 D T M までの接続を示す平面図を示し、F i g. 8 B は、F i g. 8 A の B - B 切断線における断面を示す。なお、同図は F i g. 5 右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板 S U B 1 の上端部に該当する。

T S T d は検査端子でありここには外部回路は接続されないが、プローブ針等を接触できるよう配線部より幅が広げられている。同様に、ドレイン端子 D T M も外部回路との接続ができるよう配線部より幅が広げられている。外部接続ドレイン端子 D T M は上下方向にに配列され、ドレイン端子 D T M は、F i g. 5 に示すように端子群 T d (添字省略) を構成し基板 S U B 1 の切断線を越えて更に延長され、製造過程では静電破壊防止のためその全てが互いに配線 S H d (図示せず) によって短絡される。検査端子 T S T d は F i g. 8 A に示すように一本置き of 映像信号線 D L に形成される。

ドレイン接続端子 D T M は透明導電層 g 2 単層で形成されており、ゲート絶縁膜 G I を除去した部分で映像信号線 D L と接続されている。この透明導電膜 g 2 はゲート端子 G T M の時と同様に画素電極 P X と同

一工程で形成された透明導電膜ITOを用いている。ゲート絶縁膜GIの端部上に形成された半導体層ASはゲート絶縁膜GIの縁をテーパ状にエッチングするためのものである。ドレイン端子DTM上では外部回路との接続を行うため保護膜PSV1は勿論のこと取り除かれている。

マトリクス部からドレイン端子部DTMまでの引出配線は、映像信号線DLと同じレベルの層d1、d2が保護膜PSV1の途中まで構成されており、保護膜PSV1の中で透明導電膜g2と接続されている。これは、電触し易いA1層d2を保護膜PSV1やシールパターンSLでできるだけ保護する狙いである。

《対向電極端子CTM》

Fig. 9Aは対向電圧信号線CLからその外部接続端子CTMまでの接続を示す平面図を示し、Fig. 9Bは、Fig. 9AのB-B切断線における断面を示す。なお、同図はFig. 5左上付近に対応する。

各対向電圧信号線CLは共通バスラインCBで一纏めして対向電極端子CTMに引き出されている。共通バスラインCBは導電層g1の上に導電層d1、導電層d2を積層した構造となっている。これは、共通バスラインCBの抵抗を低減し、対向電圧が外部回路から各対向電圧信号線CLに十分に供給されるようにするためである。本構造では、特に新たに導電層を負荷することなく、共通バスラインの抵抗を下げられるのが特徴である。共通バスラインCBの導電層g1は導電層d1、導電層d2と電氣的に接続されるように、陽極化成はされていない。また、ゲート絶縁膜GIからも露出している。

対向電極端子CTMは、導電層g1の上に透明導電層g2が積層され

た構造になっている。この透明導電膜 g_2 は他の端子の時と同様に画素電極 PX と同一工程で形成された透明導電膜 ITO を用いている。透明導電層 g_2 により、その表面を保護し、電食等を防ぐために耐久性のよい透明導電層 g_2 で、導電層 g_1 を覆っている。

《表示装置全体等価回路》

表示マトリクス部の等価回路とその周辺回路の結線図を $Fig. 10$ に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。AR は複数の画素を二次元状に配列したマトリクス・アレイである。

図中、X は映像信号線 DL を意味し、添字 G、B および R がそれぞれ緑、青および赤画素に対応して付加されている。Y は走査信号線 GL を意味し、添字 1、2、3、…、end は走査タイミングの順序に従って付加されている。

走査信号線 Y (添字省略) は垂直走査回路 V に接続されており、映像信号線 X (添字省略) は映像信号駆動回路 H に接続されている。

SUP は 1 つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト (上位演算処理装置) からの CRT (陰極線管) 用の情報を TFT 液晶表示装置用の情報に交換する回路を含む回路である。

《駆動方法》

$Fig. 11$ に本発明の液晶表示装置の駆動波形を示す。

実施例 1 では、対向電圧信号線 CL が、アルミニウムという低抵抗金属の導電膜 g_1 から形成されているため、負荷インピーダンスが少なく、対向電圧の波形変形が少なくなる。このため、対向電圧を交流化でき、

信号線電圧を低減できる利点がある。

すなわち、対向電圧を V_{ch} と V_{cl} の2値の交流矩型波にし、それに同期させて走査信号 $V_g(i-1)$ 、 $V_g(i)$ の非選択電圧を1走査期間ごとに、 V_{glh} と V_{gll} の2値で変化させる。対向電圧の振幅値と非選択電圧の振幅値は同一にする。映像信号電圧は、液晶層に印加したい電圧から、対向電圧の振幅の $1/2$ を差し引いた電圧である。

対向電圧は直流でもよいが、交流化することで映像信号電圧の最大振幅を低減でき、映像信号駆動回路（信号側ドライバ）に耐圧の低いものを用いることが可能になる。後述する実施例2、3では、対向電圧信号線CLが、透明導電膜g2から形成されているため、比較的抵抗が高くなり、対向電圧は直流方式が好ましい。

《蓄積容量 C_{stg} の働き》

蓄積容量 C_{stg} は、画素に書き込まれた（薄膜トランジスタTFTがオフした後の）映像情報を、長く蓄積するために設ける。本発明で用いている電界を基板面と平行に印加する方式では、電界を基板面に垂直に印加する方式と異なり、画素電極と対向電極で構成される容量（いわゆる液晶容量）がほとんど無いため、蓄積容量 C_{stg} が映像情報を画素に蓄積することができない。したがって、電界を基板面と平行に印加する方式では、蓄積容量 C_{stg} は必須の構成要素である。

また、蓄積容量 C_{stg} は、薄膜トランジスタTFTがスイッチングするとき、画素電極電位 V_s に対するゲート電位変化 ΔV_g の影響を低減するようにも働く。この様子を式で表すと、次のようになる。

$$\Delta V_s = \{C_{gs} / (C_{gs} + C_{stg} + C_{pix})\} \times \Delta V_g$$

ここで、 C_{gs} は薄膜トランジスタTFTのゲート電極GTとソース

電極SD1との間に形成される寄生容量、 C_{pix} は画素電極PXと対向電極CTとの間に形成される容量、 ΔV_s は ΔV_g による画素電極電位の変化分いわゆるフィードスルー電圧を表わす。この変化分 ΔV_s は液晶LCに加わる直流成分の原因となるが、保持容量 C_{stg} を大きくすればする程、その値を小さくすることができる。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、従って寄生容量 C_{gs} が大きくなり、画素電極電位 V_s はゲート（走査）信号 V_g の影響を受け易くなるという逆効果が生じる。しかし、蓄積容量 C_{stg} を設けることによりこのデメリットも解消することができる。

《製造方法》

つぎに、上述した液晶表示装置の基板SUB1側の製造方法についてFig. 12～Fig. 14を参照して説明する。なお同図において、中央の文字は工程名の略称であり、左側はFig. 3に示す薄膜トランジスタTFT部分、右側はFig. 7に示すゲート端子付近の断面形状でみた加工の流れを示す。工程B、工程Dを除き工程A～工程Iは各写真処理に対応して区分けしたもので、各工程のいずれの断面図も写真処理後の加工が終わりフォトリジストを除去した段階を示している。なお、写真処理とは本説明ではフォトリジストの塗布からマスクを使用した選択露光を経てそれを現像するまでの一連の作業を示すものとし、繰返しの説明は避ける。以下区分けした工程に従って説明する。

工程A、Fig. 12

AN635ガラス（商品名）からなる下部透明ガラス基板SUB1上に膜厚が3000ÅのAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる導電膜g1をスパッタリングにより設ける。写真処理後、リン酸と硝酸と氷酢酸との混酸液で導電膜g1を選択的にエッチングする。それによって、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CL、電極PL1、ゲート端子GTM、共通バスラインCBの第1導電層、対向電極端子CTMの第1導電層、ゲート端子GTMを接続する陽極酸化バスラインSHg（図示せず）および陽極酸化バスラインSHgに接続された陽極酸化パッド（図示せず）を形成する。

工程B、Fig. 12

直接描画による陽極酸化マスクAOの形成後、3%酒石酸をアンモニアにより $\text{PH}6.25 \pm 0.05$ に調整した溶液をエチレングリコール液で1:9に希釈した液からなる陽極酸化液中に基板SUB1を浸漬し、化成電流密度が 0.5 mA/cm^2 になるように調整する（定電流化成）。次に所定の Al_2O_3 膜厚が得られるのに必要な化成電圧125Vに達するまで陽極酸化を行う。その後この状態で数10分保持することが望ましい（定電圧化成）。これは均一な Al_2O_3 膜を得る上で大事なことである。それによって、導電膜g1を陽極酸化され、ゲート電極GT、走査信号線GL、対向電極CT、対向電圧信号線CLおよび電極PL1上に膜厚が1800Åの陽極酸化膜AOFが形成される。

工程C、Fig. 12

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入

して、膜厚が 2200 \AA の窒化Si膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が 2000 \AA のi型非晶質Si膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が 300 \AA のN(+)型非晶質Si膜を設ける。

工程D、Fig. 13

写真処理後、ドライエッチングガスとして SF_6 、 CCl_4 を使用してN(+)型非晶質Si膜、i型非晶質Si膜を選択的にエッチングすることにより、i型半導体層ASの島を形成する。

工程E、Fig. 13

写真処理後、ドライエッチングガスとして SF_6 を使用して、窒化Si膜を選択的にエッチングする。

工程F、Fig. 13

膜厚が 1400 \AA のITO膜からなる透明導電膜g2をスパッタリングにより設ける。写真処理後、エッチング液として塩酸と硝酸との混酸液で透明導電膜g2を選択的にエッチングすることにより、ゲート端子GTMの最上層、ドレイン端子DTMおよび対向電極端子CTMの第2導電層を形成する。

工程G、Fig. 14

膜厚が 600 \AA のCrからなる導電膜d1をスパッタリングにより設け、さらに膜厚が 4000 \AA のAl-Pd、Al-Si、Al-Ta、Al-Ti-Ta等からなる導電膜d2をスパッタリングにより設ける。写真処理後、導電膜d2を工程Bと同様な液でエッチングし、導電膜d1を工程Aと同様な液でエッチングし、映像信号線DL、ソース電極SD1、ドレイン電極SD2、画素電極PX、電極PL2、共通バス

ラインCBの第2導電層、第3導電層およびドレイン端子DTMを短絡するバスラインSHd（図示せず）を形成する。つぎに、ドライエッチング装置に CCl_4 、 SF_6 を導入して、N(+)型非晶質Si膜をエッチングすることにより、ソースとドレイン間のN(+)型半導体層d0を選択的に除去する。

工程H、Fig. 14

プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が $1\mu\text{m}$ の窒化Si膜を設ける。写真処理後、ドライエッチングガスとして SF_6 を使用した写真蝕刻技術で窒化Si膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

《表示パネルPNLと駆動回路基板PCB1》

Fig. 15は、Fig. 5等にした表示パネルPNLに映像信号駆動回路Hと垂直走査回路Vを接続した状態を示す上面図である。

CHIは表示パネルPNLを駆動させる駆動ICチップ（下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつは映像信号駆動回路側の駆動ICチップ）である。TCPはFig. 16、Fig. 17で後述するように駆動用ICチップCHIがテープ・オートメイティド・ボンディング法（TAB）により実装されたテープキャリアパッケージ、PCB1は上記TCPやコンデンサ等が実装された駆動回路基板で、映像信号駆動回路用と走査信号駆動回路用の2つに分割されている。FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたバネ状の破片が半田付けされる。FCは下側の駆動回路基板PCB1と左側の駆動回路基板PCB1を電氣的に接続するフラットケーブルである。フラットケーブルFCとしては図に示すように、

複数のリード線（りん青銅の素材にSn鍍金を施したもの）をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。

《TCPの接続構造》

Fig. 16は走査信号駆動回路Vや映像信号駆動回路Hを構成する、集積回路チップCHIがフレキシブル配線基板に搭載されたテープキャリアパッケージTCPの断面構造を示す図であり、Fig. 17はそれを液晶表示パネルの、本例では走査信号回路用端子GTMに接続した状態を示す要部断面図である。

同図において、TTBは集積回路CHIの入力端子・配線部であり、TTMは集積回路CHIの出力端子・配線部であり、例えばCuから成り、それぞれの内側の先端部（通称インナーリード）には集積回路CHIのボンディングパッドPADがいわゆるフェースダウンボンディング法により接続される。端子TTB、TTMの外側の先端部（通称アウターリード）はそれぞれ半導体集積回路チップCHIの入力及び出力に対応し、半田付け等によりCRT/TFT変換回路・電源回路SUPに、異方性導電膜ACFによって液晶表示パネルPNLに接続される。パッケージTCPは、その先端部がパネルPNL側の接続端子GTMを露出した保護膜PSV1を覆うようにパネルに接続されており、従って、外部接続端子GTM（DTM）は保護膜PSV1かパッケージTCPの少なくとも一方で覆われるので電触に対して強くなる。

BF1はポリイミド等からなるベースフィルムであり、SRSは半田付けの際半田が余計なところへつかないようにマスクするためのソルダレジスト膜である。シールパターンSLの外側の上下ガラス基板の間

間は洗浄後エポキシ樹脂E P X等により保護され、パッケージT C Pと上側基板S U B 2の間には更にシリコン樹脂S I Lが充填され保護が多重化されている。

《駆動回路基板P C B 2》

駆動回路基板P C B 2は、I C、コンデンサ、抵抗等の電子部品が搭載されている。この駆動回路基板P C B 2には、1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路や、ホスト（上位演算処理装置）からのC R T（陰極線管）用の情報をT F T液晶表示装置用の情報に変換する回路を含む回路S U Pが搭載されている。C Jは外部と接続される図示しないコネクタが接続されるコネクタ接続部である。

駆動回路基板P C B 1と駆動回路基板P C B 2とはフラットケーブルF Cにより電氣的に接続されている。

《液晶表示モジュールの全体構成》

F i g. 18は、液晶表示モジュールM D Lの各構成部品を示す分解斜視図である。

S H Dは金属板から成る枠状のシールドケース（メタルフレーム）、L C Wその表示窓、P N Lは液晶表示パネル、S P Bは光拡散板、L C Bは導光体、R Mは反射板、B Lはバックライト蛍光管、L C Aはバックライトケースであり、図に示すような上下の配置関係で各部材が積み重ねられてモジュールM D Lが組み立てられる。

モジュールM D Lは、シールドケースS H Dに設けられた爪とフックによって全体が固定されるようになっている。

バックライトケースL C Aはバックライト蛍光管B L、光拡散板S P

B光拡散板、導光体LCB、反射板RMを収納する形状になっており、導光体LCBの側面に配置されたバックライト蛍光管BLの光を、導光体LCB、反射板RM、光拡散板SPBにより表示面で一様なバックライトにし、液晶表示パネルPNL側に射出する。

バックライト蛍光管BLにはインバータ回路基板PCB3が接続されており、バックライト蛍光管BLの電源となっている。

以上、本実施例では、画素電極を透明にすることにより、白表示を行うときの最大透過率が約30%（本実施例では31.8%）向上する。また、液晶表示パネルPNL端子の信頼性を向上するためのITO膜も同時に形成することができ、信頼性と生産性を両立することができる。

液晶表示パネルPNL
 率5.07
 1.173
 4047.1に223

（実施例2）

本実施例は下記の要件を除けば、実施例1と同一である。Fig. 20に画素の平面図を示す。図の斜線部分は透明導電膜g2を示す。

《画素電極PX》

本実施例では、画素電極PXはソース電極SD1、ドレイン電極SD2と同層の第2導電膜d2、第3導電膜d3で構成されている。また、画素電極PXはソース電極SD1と一体に形成されている。

《対向電極CT》

本実施例では、対向電極CTを透明導電膜g2で構成する。この透明導電膜g2は実施例1と同様、スパッタリングで形成された透明導電膜（Indium-Tin-Oxide ITO：ネサ膜）からなり、100～2000Åの厚さに（本実施例では、1400Å程度の膜厚）形成される。

《対向電圧信号線CL》

対向電圧信号線CLは透明導電膜g2で構成されて、かつ対向電極C

Tと一体に構成されている。

《ゲート端子部》

本実施例では、ゲート端子GTMのAl層g1の表面を保護し、かつ、TCP (Tape Carrier Package) との接続の信頼性を向上させるための透明導電層g2を対向電極CTと同一工程で形成する。構成は実施例1と何ら変わりはなく、Fig. 7A、Bに示す通りである。

《ドレイン端子DTM》

本実施例では、ドレイン接続端子DTMの透明導電層g2にゲート端子GTMの時と同様に対向電極CTと同一工程で形成された透明導電膜ITOを用いている。構成は層の上下関係が実施例1と少し異なるが、本質的ではないので図は省略する。

《対向電極端子CTM》

対向電極端子CTMの導電層g1の上の透明導電層g2は他の端子の時と同様に対向電極CTと同一工程で形成された透明導電膜ITOを用いている。構成は実施例1と何ら変わりはなく、Fig. 9A、Bに示す通りである。

《製造方法》

本実施例では、実施例1の工程Bと工程Cの間に工程Fが入る順番になる。工程の順序としてはFig. 12からFig. 15のAからHが、A-B-F-C-D-E-G-Hの順になる。マスクパターンは、走査信号線GL、走査電極GTと対向電圧信号線CLが分離し、各端子の透明導電層g2と対向電圧信号線CLのパターンが同一マスクに形成される。